



# **КОНФИГУРИРУЕМЫЕ IP-ЯДРА // ДЛЯ DFE (DIGITAL FRONTEND) СОВРЕМЕННЫХ СИСТЕМ СВЯЗИ**



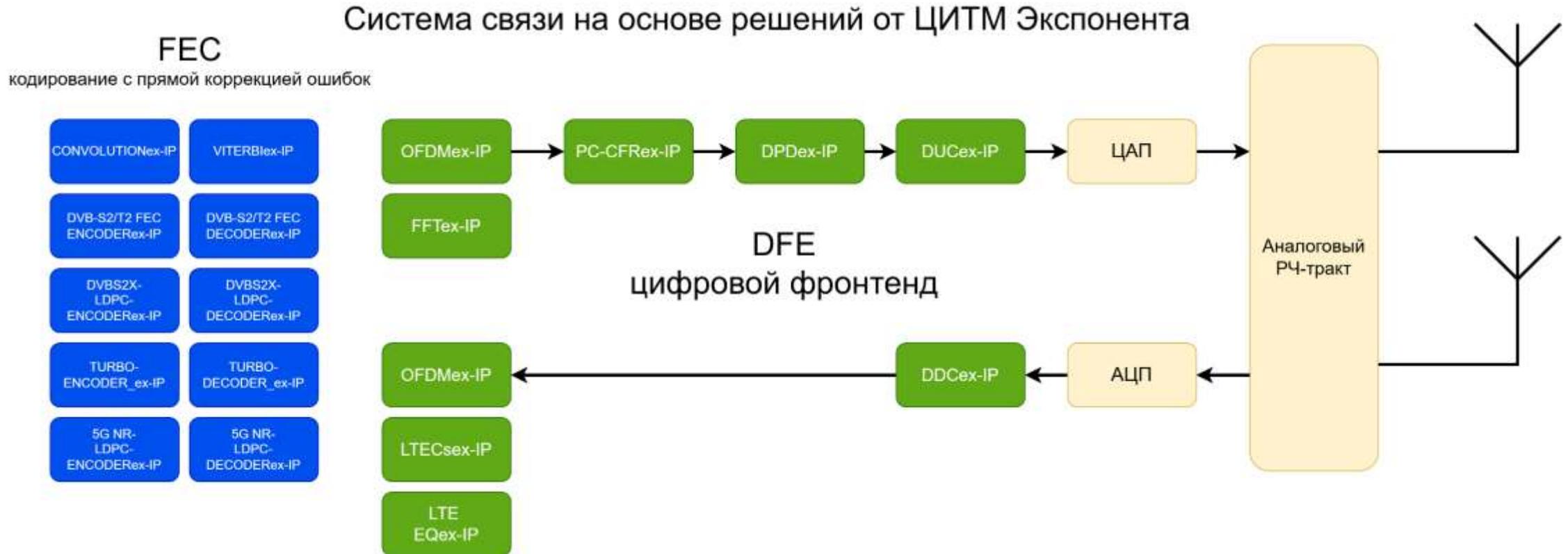
29/11/2025



# ИГОРЬ КАЩЕНКО

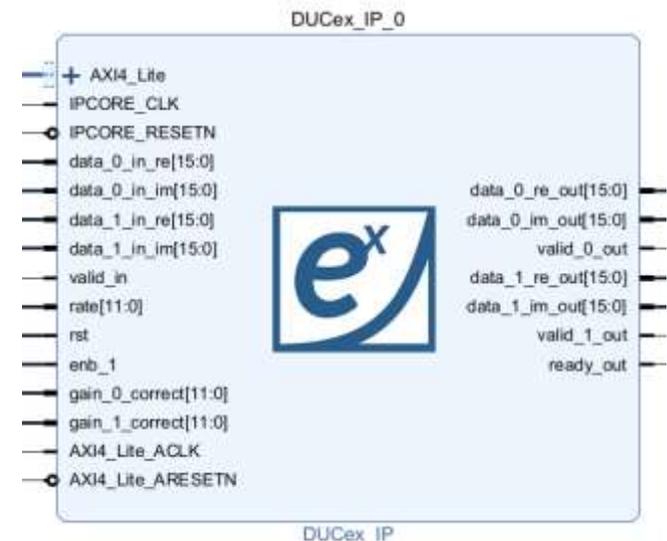
- Руководитель отдела, ЦИТМ Экспонента
- Мы занимаемся системами связи и телекоммуникаций, исследуем и разрабатываем алгоритмы ЦОС для DFE современных систем связи

# DFE (DIGITAL FRONTEND) – ЦИФРОВОЙ ТРАКТ ПРЕДОБРАБОТКИ



# DUCex-IP – цифровой повышающий преобразователь

- Программируемый «онлайн» коэффициент интерполяции: 1...128
- Два синхронных независимых канала
- Встроенные NCO и смеситель
- Режим генерации синусоидального сигнала
- Быстродействие – 410 МГц (Kintex-7)
- Задержка обработки (Max Latency) – 70 тактов
- Ресурсы(K = 1...128, 2 канала, NCO+MUX):
  - LUT: 5500
  - DSP: 48
  - BRAM: 3 (18к)



## Программируемый CIC фильтр + компенсирующий/полуполосный FIR

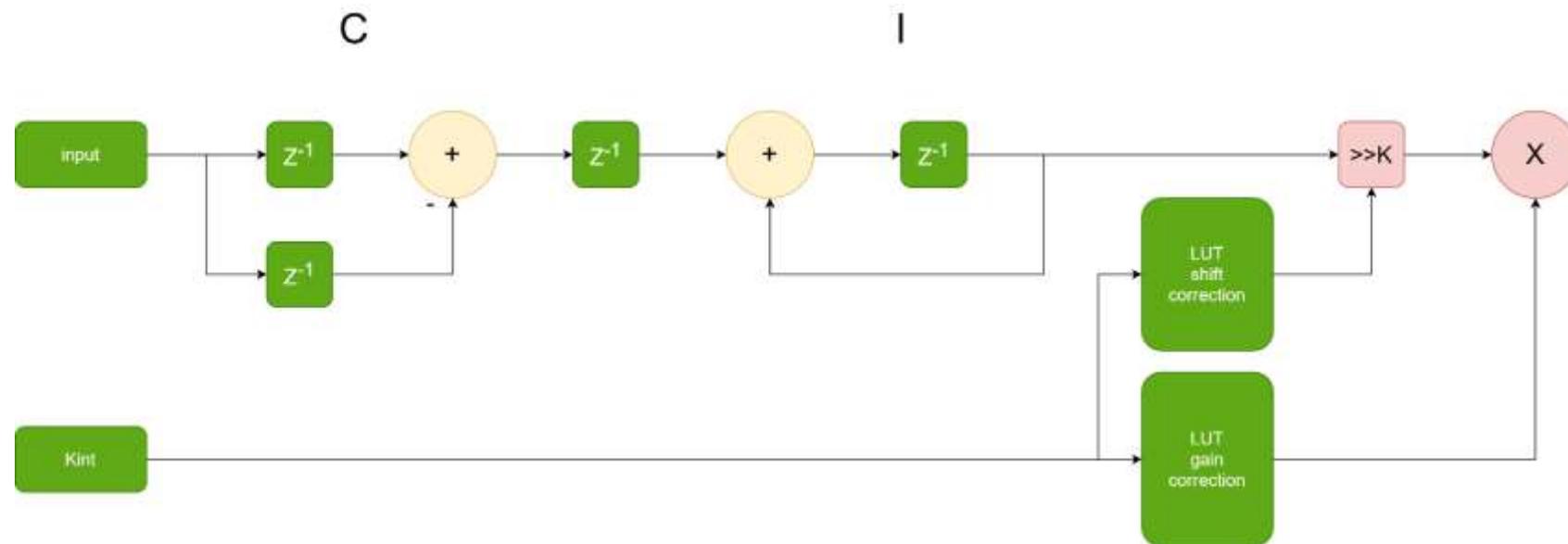
- 6 каскадов CIC
- Симметричный компенсирующий FIR + Kaiser window
- Шаг интерполяции: 1,2:2:128
- Эффективная полоса пропускания (-3дБ) :  $-0.87$  (*xπ rad/smpl*)
- Подавление за полосой пропускания:  $> 80$  дБ
- Неравномерность в полосе: 0.1 дБ

### **Структура FIR:**

Симметричный, полифазный с нечётным порядком и программируемыми коэффициентами  $N = 65$  (для полуполосного и для компенсирующего режима)

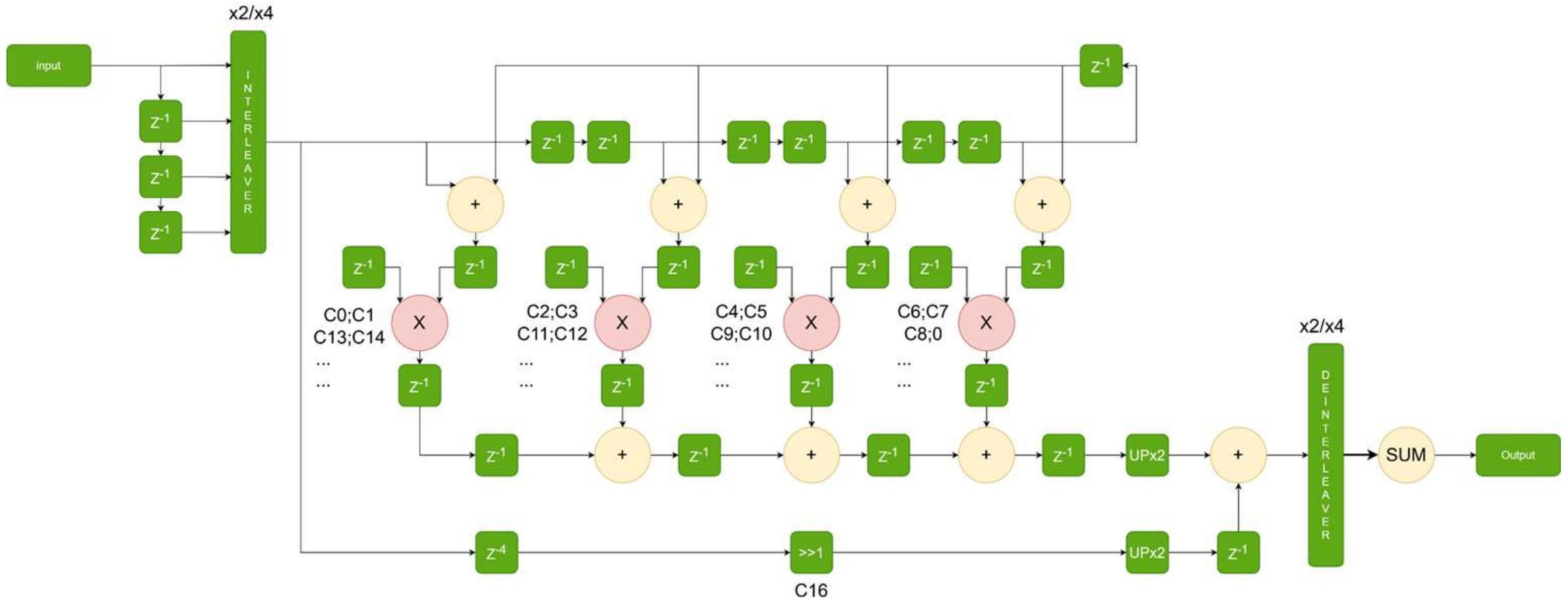
Кол-во аппаратных блоков DSP48E1: 8

# Программируемый CIC фильтр



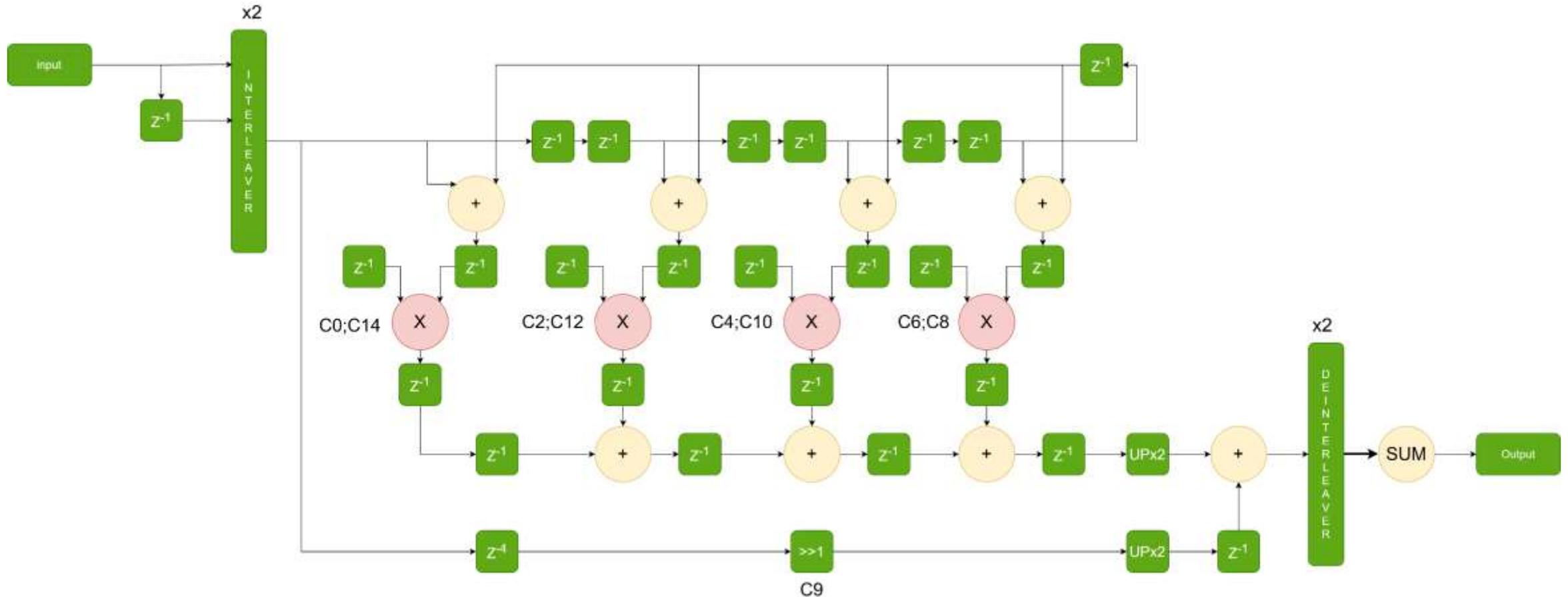
- Аппроксимация коэффициента усиления
- Аппроксимация величины сдвига

# Пример универсальной архитектуры для компенсирующего FIR-фильтра



- В режиме компенсирующего FIR:  $K_{int} = 2, 4$  ( $clk/F_s = 4$ )

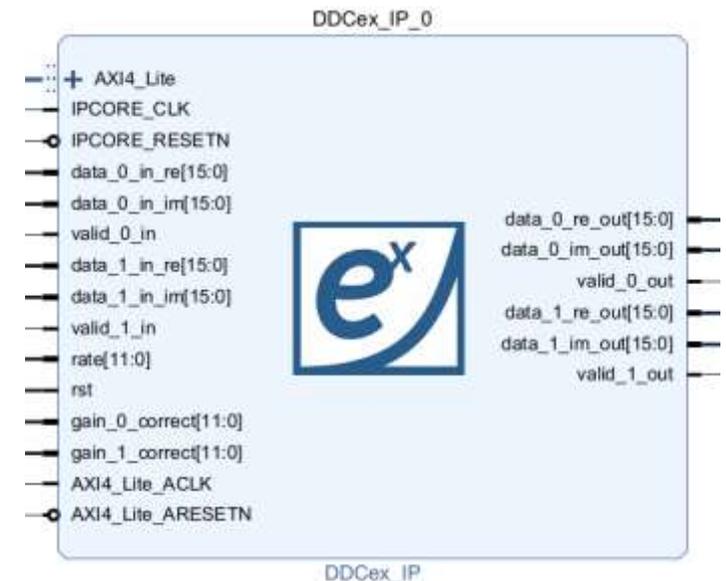
# Пример универсальной архитектуры для полуполосного FIR-фильтра



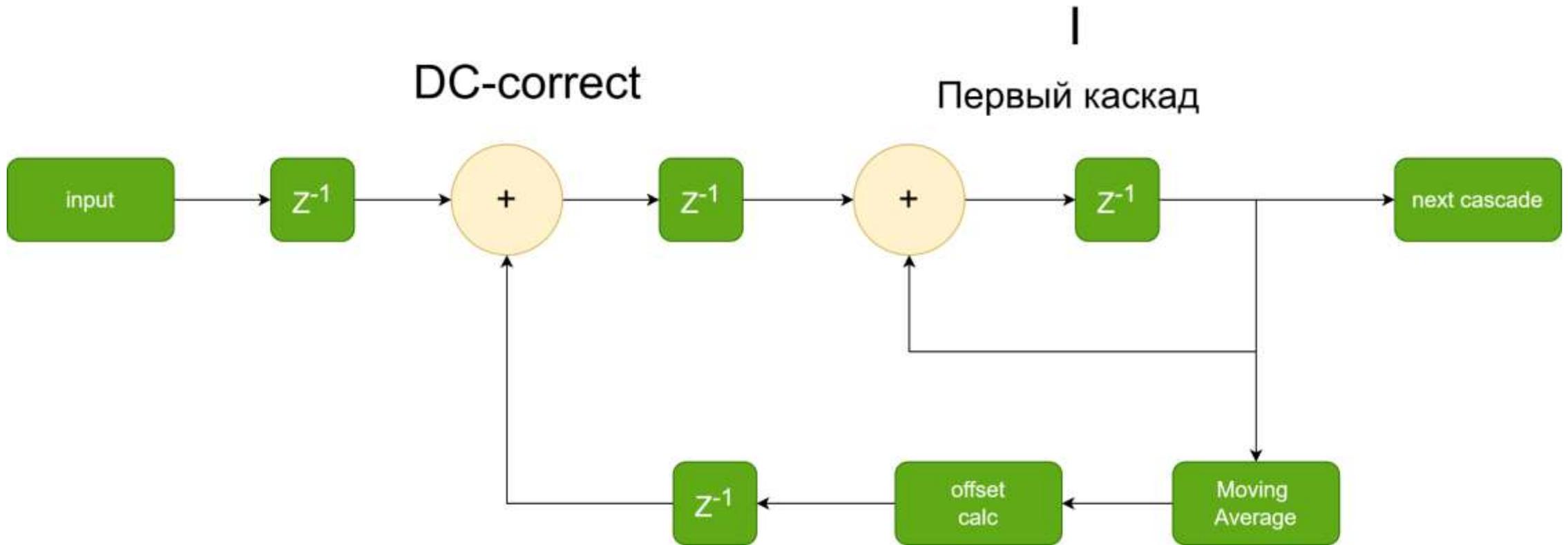
- В режиме полуполосного FIR:  $K_{int} = 2$  ( $clk/F_s = 2$ )

# DDCex-IP – цифровой понижающий преобразователь

- Программируемый «онлайн» коэффициент интерполяции: 1...128
- Два синхронных независимых канала
- Встроенные NCO и смеситель
- Встроенный DC-корректор
- Быстродействие – 450 МГц (Kintex-7)
- Задержка обработки (Max Latency) – 70 тактов
- Ресурсы(K = 1...128, 2 канала, NCO+MUX):
  - LUT: 6500
  - DSP: 52
  - BRAM: 3 (18к)

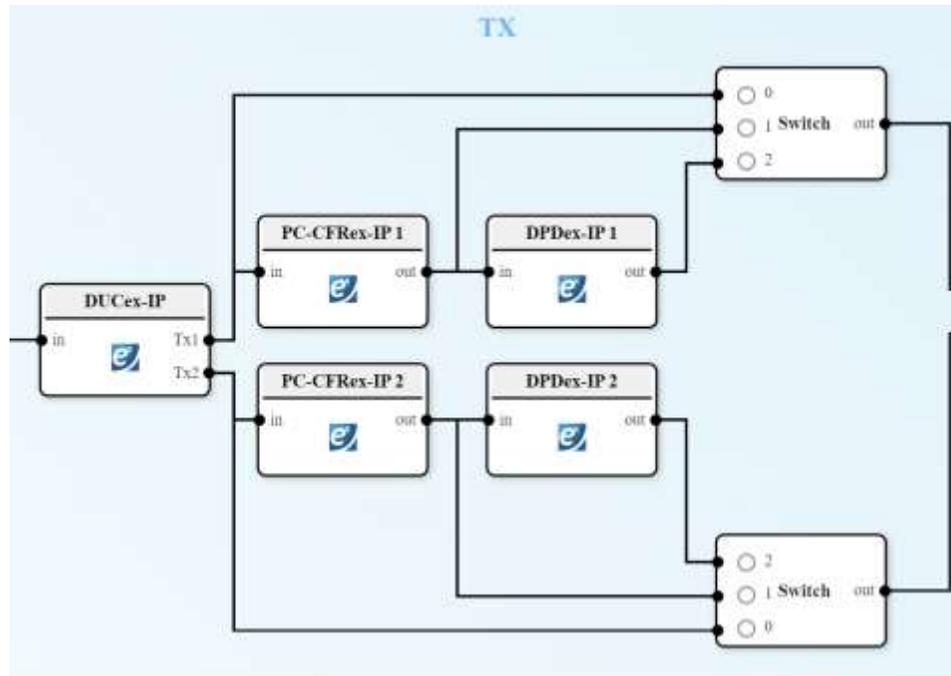


# DC-корректор в составе CIC

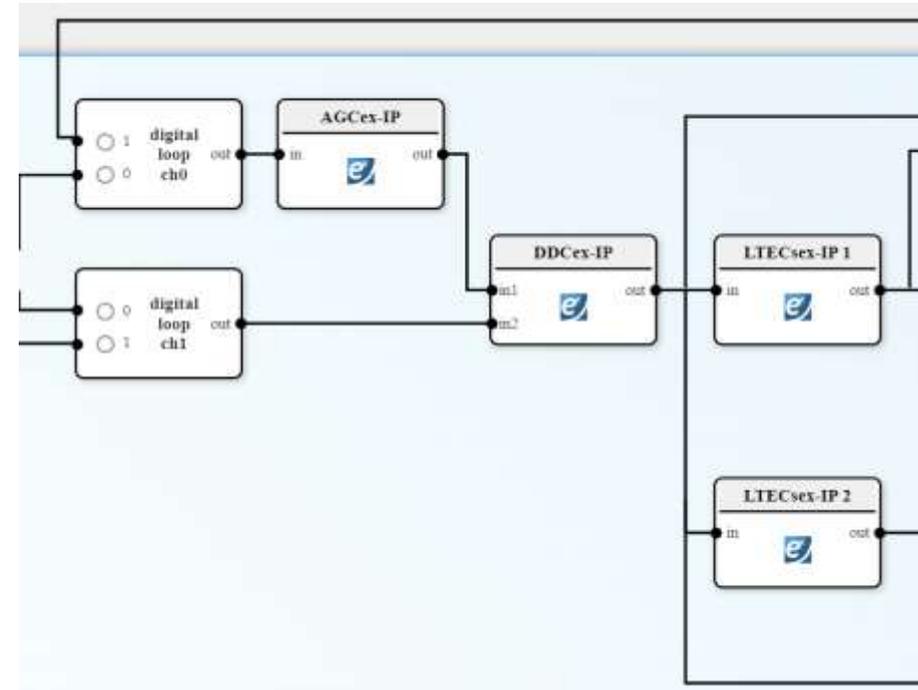


# DUСex-IP и DDCex-IP в составе проекта пользовательского модема на PHY LTE

TX



RX



# Новое IP-ядро DPDeX-IP с программируемой GMP моделью

Обобщённая полиномиальная модель с памятью (MP):

$$\begin{aligned}
 y(n) = & \sum_{k=1}^{Ka} \sum_{m=0}^{Ma} h_{k,m} x(n-m) |x(n-m)|^{k-1} + \\
 & \sum_{m=0}^{Mb} \sum_{k=2}^{Nb} \sum_{l=1}^{Lb} d_{m,k,l} x(n-m) |x(n-m-l)|^{k-1} + \\
 & \sum_{m=0}^{Mc} \sum_{k=2}^{Nc} \sum_{l=1}^{Lc} e_{m,k,l} x(n-m) |x(n-m+l)|^{k-1}
 \end{aligned}$$

Где,  $Ma, Na$  — параметры для первых членов (основной памяти);

$Mb, Nb, lb, Mb, Nb, lb, Mb, Nb, lb$  — параметры для перекрёстной памяти с отрицательными задержками;

$Mc, Nc, lc, Mc, Nc, lc, Mc, Nc, lc$  — параметры для перекрёстной памяти с положительными задержками;

$h_{k,m}, d_{m,k,l}, e_{m,k,l}$  — коэффициенты модели, описывающие различные взаимодействия.

## Усечённая GMP модель

Модели Xilinx, Analog Devices, Mathworks - усечённый вариант обобщённой полиномиальной модели с памятью (reduced GMP) не учитывает перекрёстные члены с положительными задержками

$$y(n) = \sum_{k=1}^{K_a} \sum_{m=0}^{M_a} h_{k,m} x(n-m) |x(n-m)|^{k-1} +$$
$$\sum_{m=0}^{M_b} \sum_{k=2}^{N_b} \sum_{l=1}^{L_b} d_{m,k,l} x(n-m) |x(n-m-l)|^{k-1}$$

# Полная GMP модель с LUT-аппроксимацией амплитуды

Амплитуда  $|x(n)|$  квантуется оператором  $Q(\cdot)$  к ближайшему центру  $A_q$  из  $K$  уровней, а степени  $A_q^{k-1}$  заранее заносятся в таблицу.

$$\begin{aligned}
 y_{\text{LUT}}(n) = & \sum_{k=1}^{K_a} \sum_{m=0}^{M_a} h_{k,m} x(n-m) \hat{r}(n-m)^{k-1} \\
 & + \sum_{k=2}^{K_b} \sum_{m=0}^{M_b} \sum_{\ell=1}^{L_b} d_{m,k,\ell} x(n-m-\ell) \hat{r}(n)^{k-1} \\
 & + \sum_{k=2}^{K_c} \sum_{m=0}^{M_c} \sum_{\ell=1}^{L_c} e_{m,k,\ell} x(n) \hat{r}(n-m+\ell)^{k-1}, \\
 & \hat{r}(n) = Q(|x(n)|) \in \{A_1, \dots, A_K\}.
 \end{aligned}
 \tag{$$

В режиме реального времени вместо вычисления  $|x|^{k-1}$  выполняются только:

1. обращение к LUT, возвращающее вектор  $[\hat{r}^1, \hat{r}^3, \dots, \hat{r}^{P-1}]$ ;
2. комплексные умножения с коэффициентами  $h_{k,m}, d_{m,k,\ell}, e_{m,k,\ell}$ .

$$\boxed{r[n] \rightarrow \hat{r}[n] = Q(|x[n]|) \in \{A_1, \dots, A_K\}}, \quad A_k^{p-1} \text{ хранятся в LUT.}$$

# Полная GMP модель с LUT-аппроксимацией произведения амплитуды $x$ коэффициенты

Основная идея:

- Центральная диагональ GMP модели (MP-модель) вычисляется стандартным способом с помощью комплексных умножителей на **3xDSP48E1**
- Диагонали опережающих и запаздывающих членов вычисляются через LUT – аппроксимацию произведений:

$$|x(n - m - l)|^{k-1} d_{m,k,l}$$

$$|x(n - m + l)|^{k-1} e_{m,k,l}$$

## Оценка вычислительных ресурсов

При

$N_p = 7$  (порядок нелинейности) для МР-членов

$M_p = 5$  (порядок «памяти») для МР-членов

$K_{a,c} = 5$  (порядок нелинейности) для GMP-членов

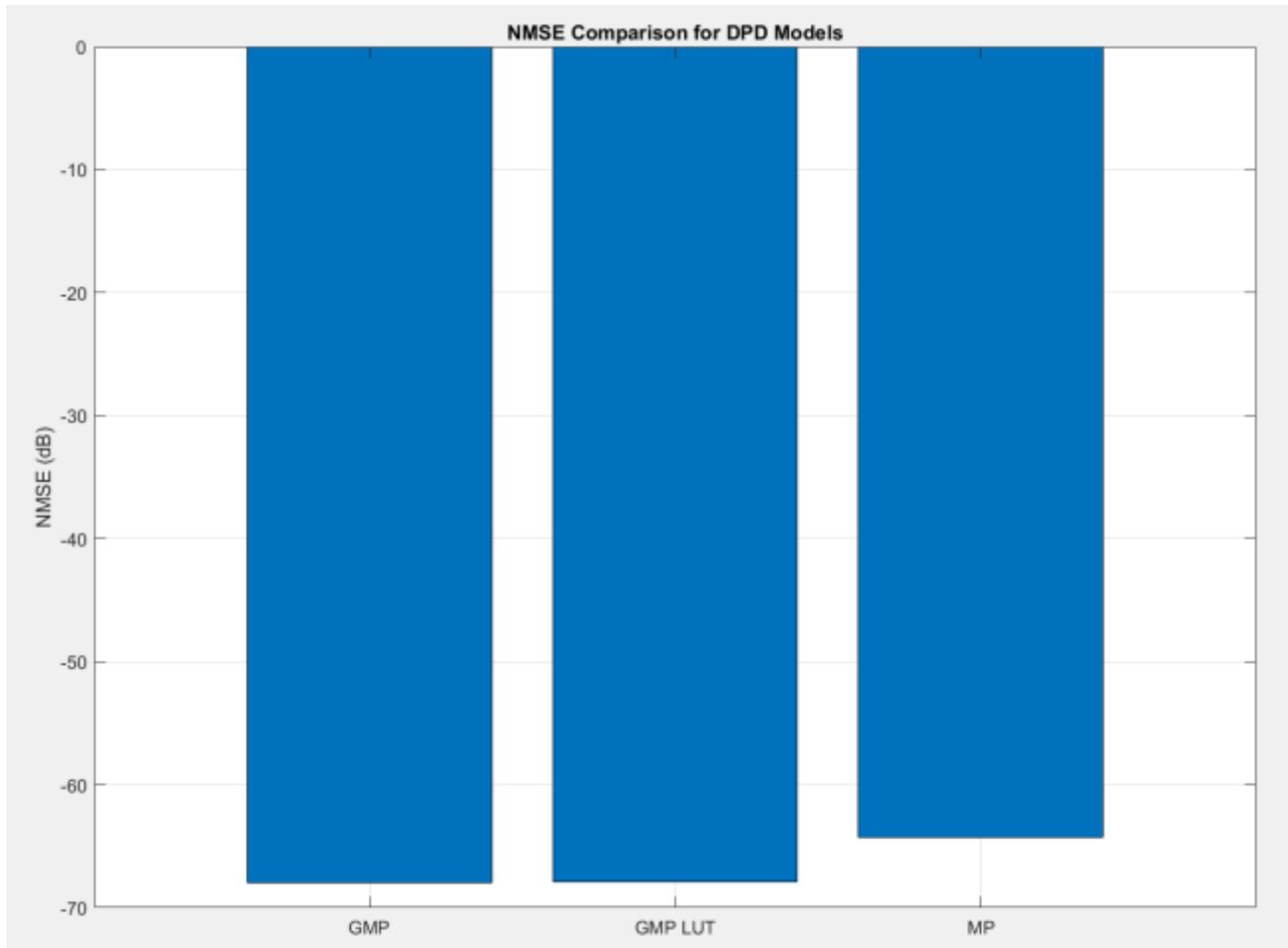
$M_{b,c} = 5$  (порядок «памяти») для GMP-членов

$L_{b,c} = 4$  (порядок лага опережения/запаздывания) для GMP-членов

Кол-во операций умножения:

- **Прямое решение: 1026 умножителей DSP48E1**
- **LUT-аппроксимация произведения (амплитуда x коэффициент) : 111 умножителей DSP48E1**

# Эффективность работы ядра DPDex-IP с GMP



MP\_model\_out NMSE (Linear): 0.011926

NMSE (dB): -38.470085 dB

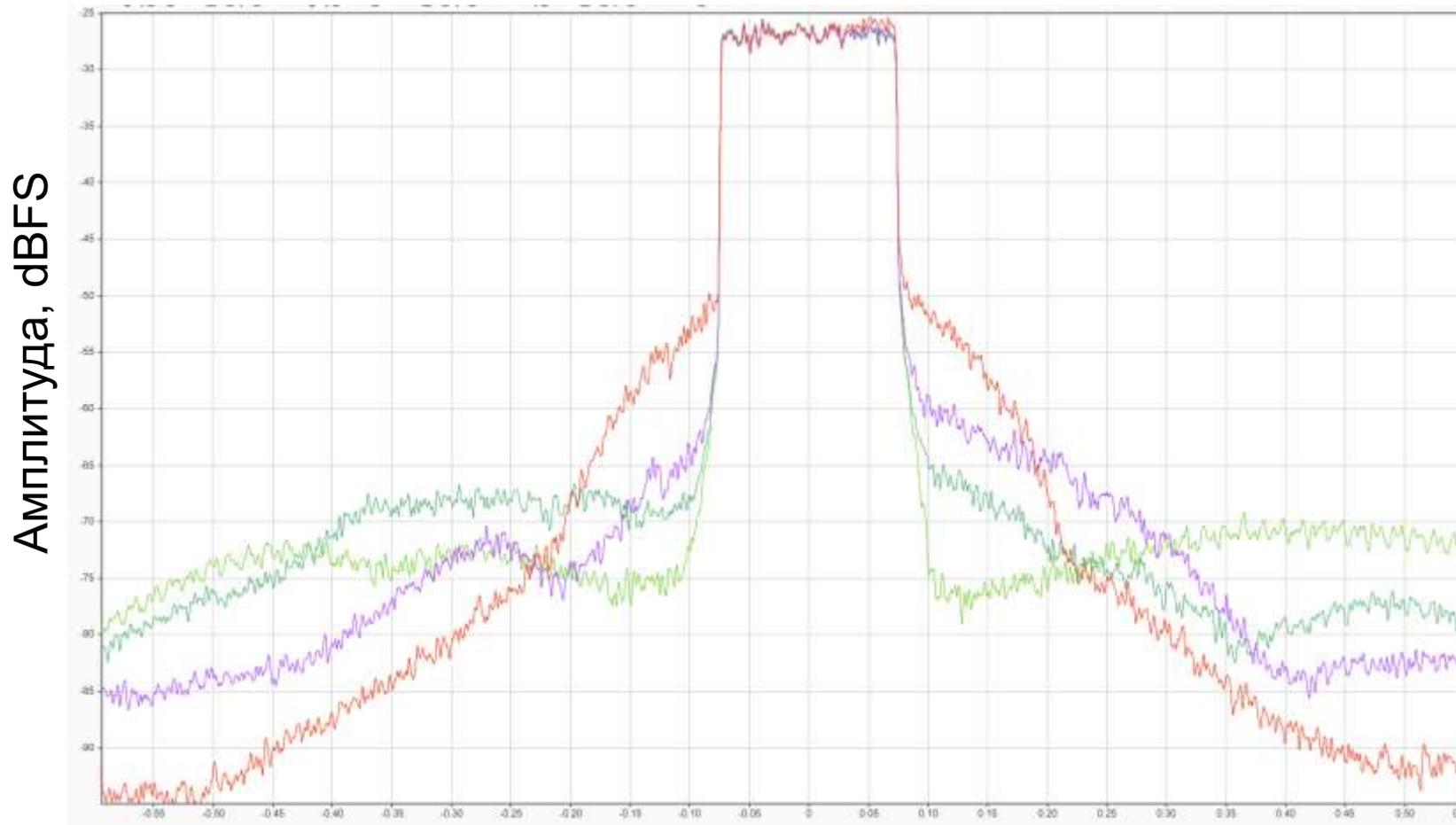
GMP\_model NMSE (Linear): 0.002328

NMSE (dB): -52.658966 dB

GMP\_model\_lut\_out NMSE (Linear): 0.002660 Размер LUT = 32

NMSE (dB): -51.500809 dB

# Эффективность работы ядра DPDex-IP с GMP



- **Усилитель**
- **DPD MP + Усилитель**
- **DPD усечённая GMP + Усилитель**
- **DPD LUT GMP + Усилитель**

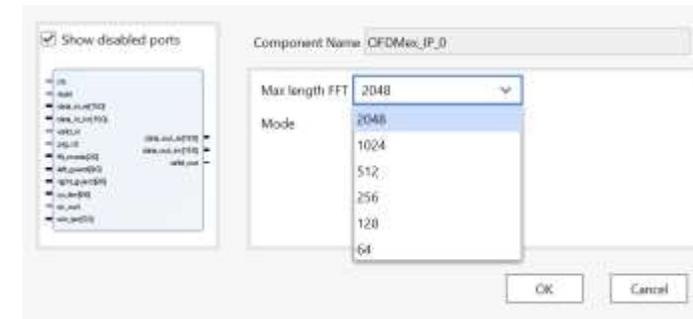
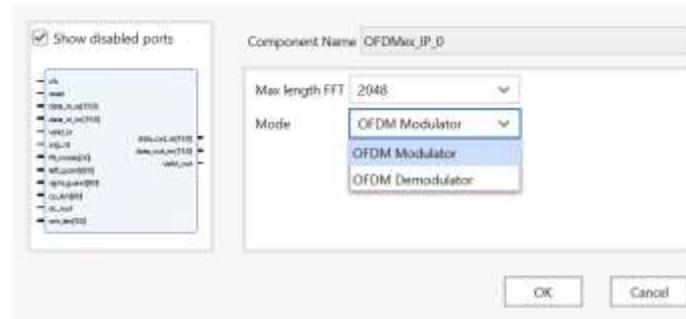
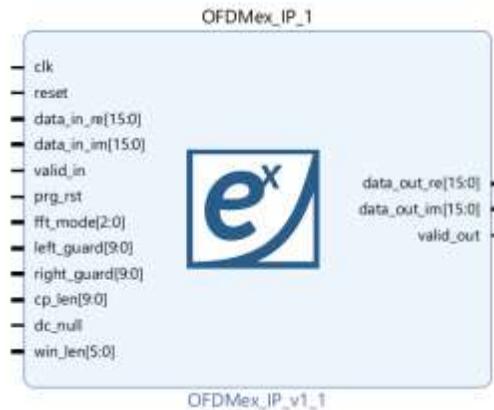
Нормализованная частота  $\omega_i$  rad/s

# IP-ядро OFDM модулятора/демодулятора OFDMex-IP

IP-ядро OFDMex-IP предназначено для работы в качестве OFDM-модулятора или OFDM-демодулятора в трактах цифровой обработки сигналов различных систем связи

## Возможности

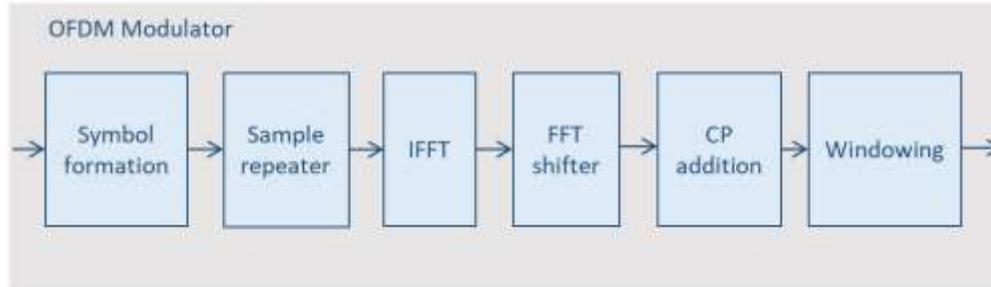
- выбор режима при конфигурации (модулятор/демодулятор)
- установка при конфигурации максимальной длины FFT
- установка параметров OFDM через входные порты, изменение без переконфигурации



# IP-ядро OFDM модулятора/демодулятора OFDMex-IP

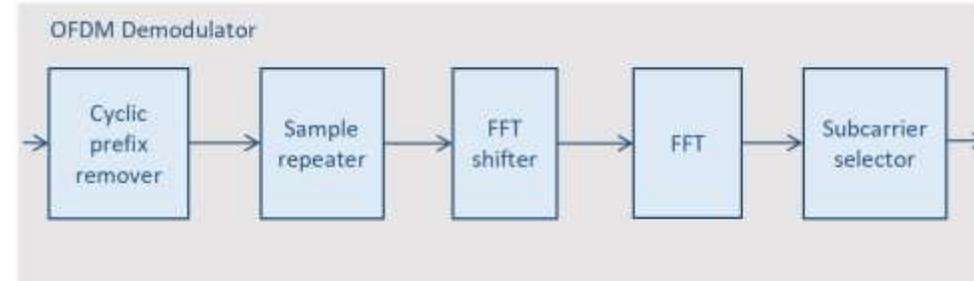
## Структурная схема

### OFDM модулятор



- формирование OFDM символа (с учетом защитных интервалов)
- обратное БПФ
- добавление циклического префикса
- оконная обработка (IEEE 802.11g)

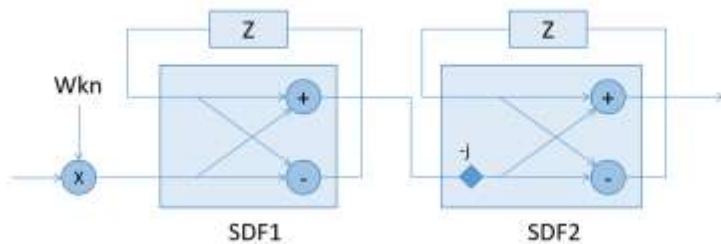
### OFDM демодулятор



- удаление циклического префикса
- БПФ
- выделение поднесущих

# IP-ядро OFDM модулятора/демодулятора OFDMex-IP

В IP-ядре применена собственная реализация БПФ основанная на эффективном алгоритме Streaming Radix-2<sup>2</sup>



Ступень алгоритма Streaming Radix-2<sup>2</sup> (FFT-4)

- конвейерная потоковая обработка
- высокое быстродействие
- минимальная задержка
- оптимизация по ресурсам

FFT=2048, Unscaled, Streaming Radix 2<sup>2</sup>, clk = 460 МГц

Resource	Used
LUT	7142
LUTRAM	827
FF	4999
BRAM	12
DSP	19
BUFG	1

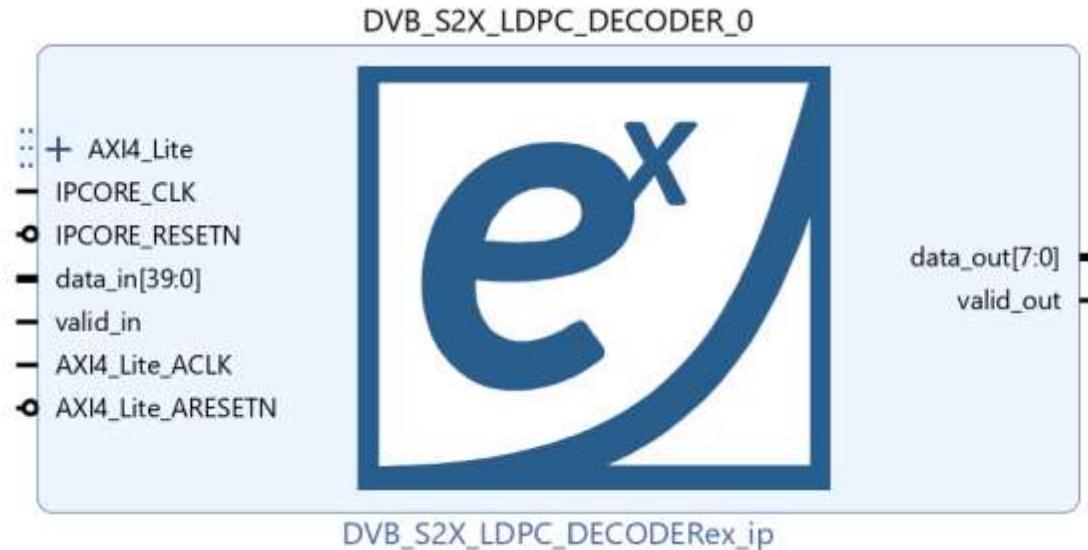
AMD Xilinx FFT 9.1 (Zynq xc7z100)

VS

Resource summary			
Resource	Usage	Available	Utilization (%)
Slice LUTs	5275	277400	1.90
Slice Registers	9628	554800	1.74
DSPs	24	2020	1.19
Block RAM Tile	13	755	1.72

ЦИТМ Экспонента (Zynq xc7z100)

# IP-ядро DVBS2X\_LDPC\_DECODERex-IP



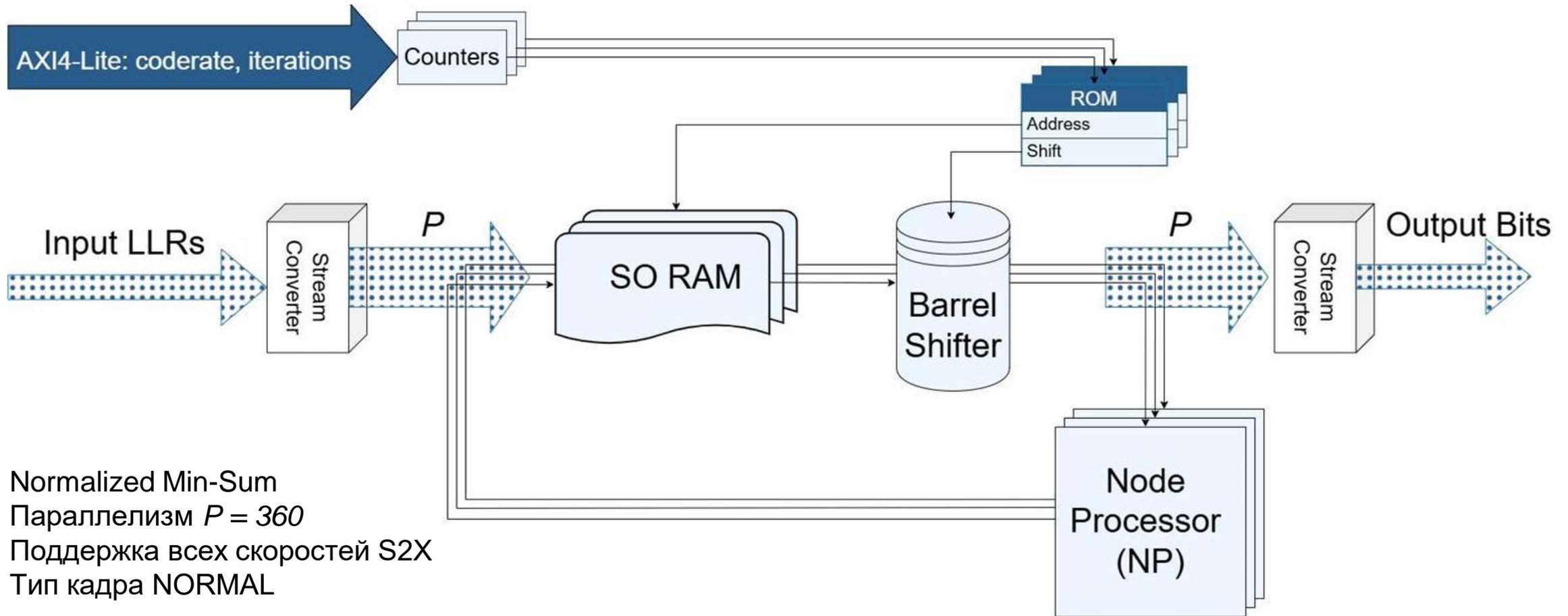
- Normalized Min-Sum
- Параллелизм  $P = 360$
- Поддержка всех скоростей S2X
- Тип кадра NORMAL

- Настраиваемые параметры:
- Количество итераций
  - Кодовая скорость
  - Коэффициент нормализации
  - Включение-отключение Parity Shuffle

- ✦ Пропускная способность входного сигнала\*
  - до **1000 Мбит/с**
- ✦ Пропускная способность выходного сигнала\*
  - до **800 Мбит/с**
- ✦ Тактовая частота
  - до **200 МГц**
- ✦ Ресурсы (xczu15eg)
  - **61301 LUT** (70K MAX)
  - **66 BRAM** (131 MAX)
  - **50979 FF** (63K MAX)
  - **360 DSP** (0 MIN)

\* - 6 итераций

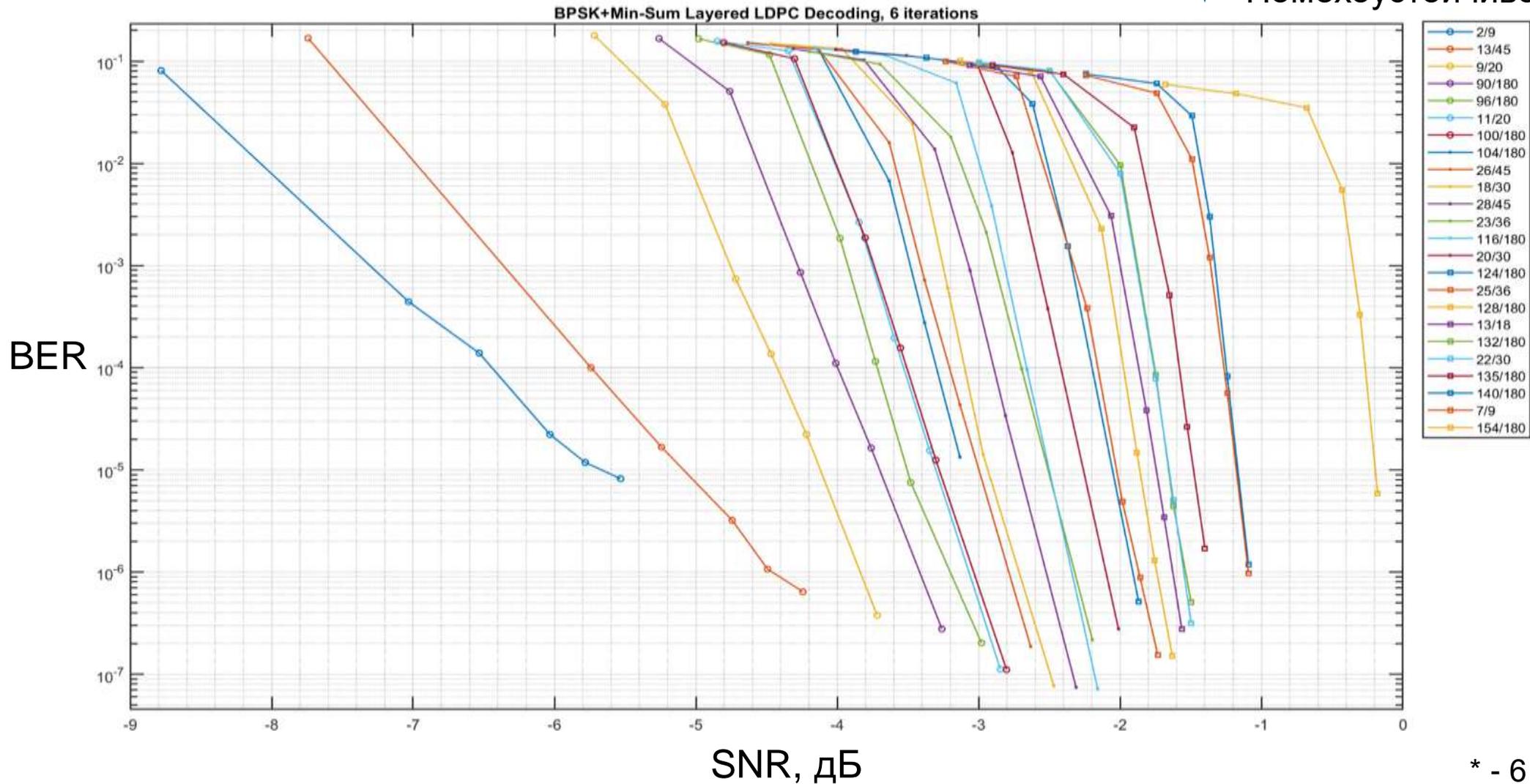
# IP-ядро DVBS2X\_LDPC\_DECODERex-IP v.1.0



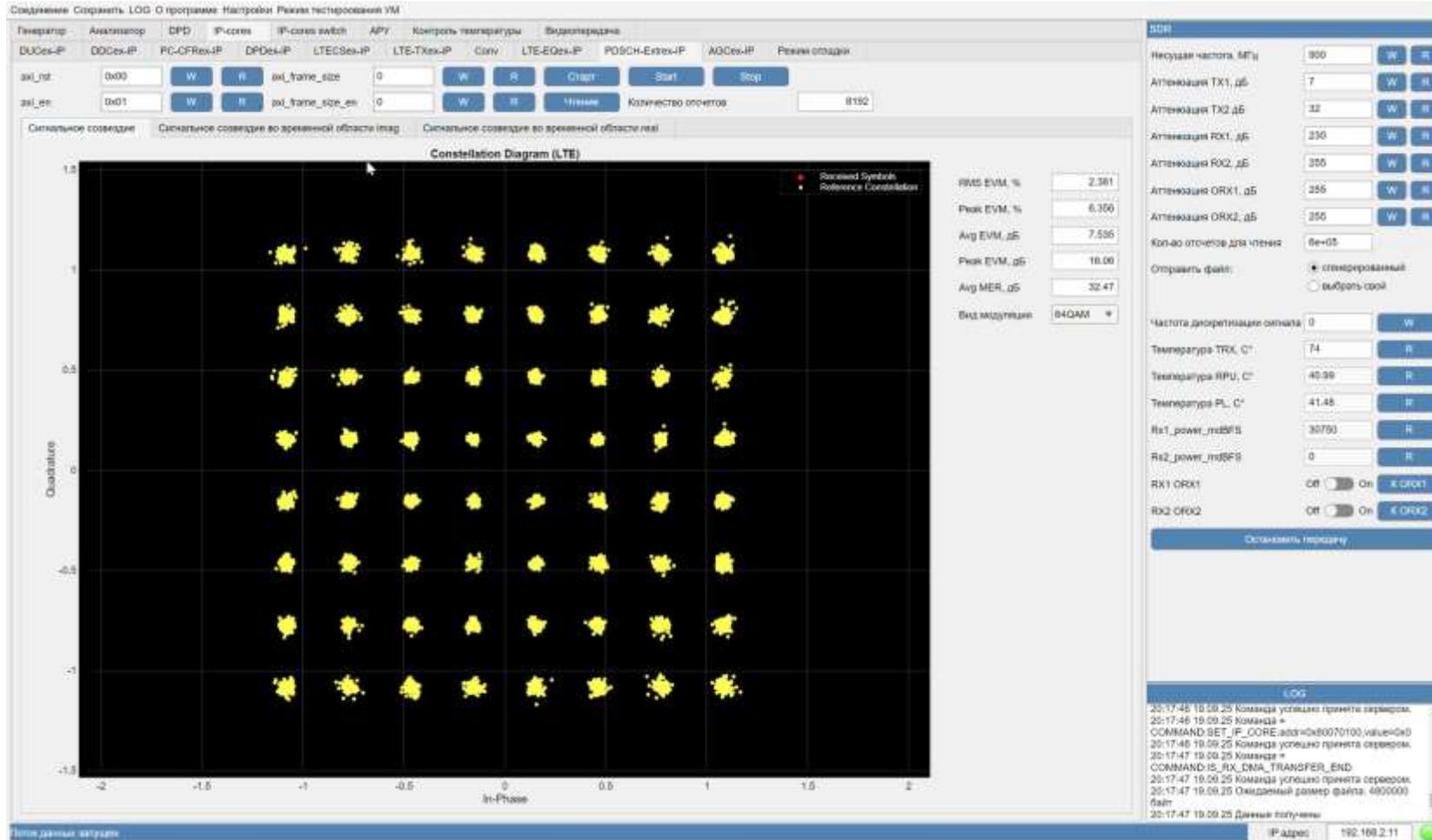
- Normalized Min-Sum
- Параллелизм  $P = 360$
- Поддержка всех скоростей S2X
- Тип кадра NORMAL

# IP-ядро DVBS2X\_LDPC\_DECODERex-IP v.1.0

✦ Помехоустойчивость \*



# DFE в составе PITM SDR USRP на стенде



// **НАПИШИТЕ  
НАМ**



[new.exponenta.ru/comms](https://new.exponenta.ru/comms)



[igor.kaschenko@engee.cloud](mailto:igor.kaschenko@engee.cloud)



2025