



ЭКСПОНЕНТА
ЦЕНТР ИНЖЕНЕРНЫХ ТЕХНОЛОГИЙ
И МОДЕЛИРОВАНИЯ

IP-ядра для систем связи

Engee

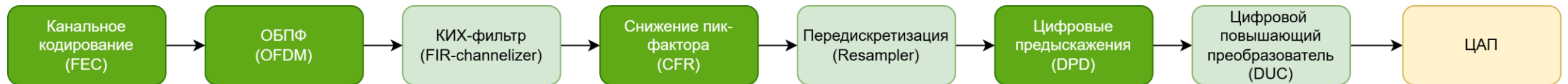


Кащенко Игорь
инженер

DFE - основа архитектуры современных систем связи

- DFE - Digital Front End - Цифровой тракт предобработки

Передающая часть (TX)



Приёмная часть (RX)

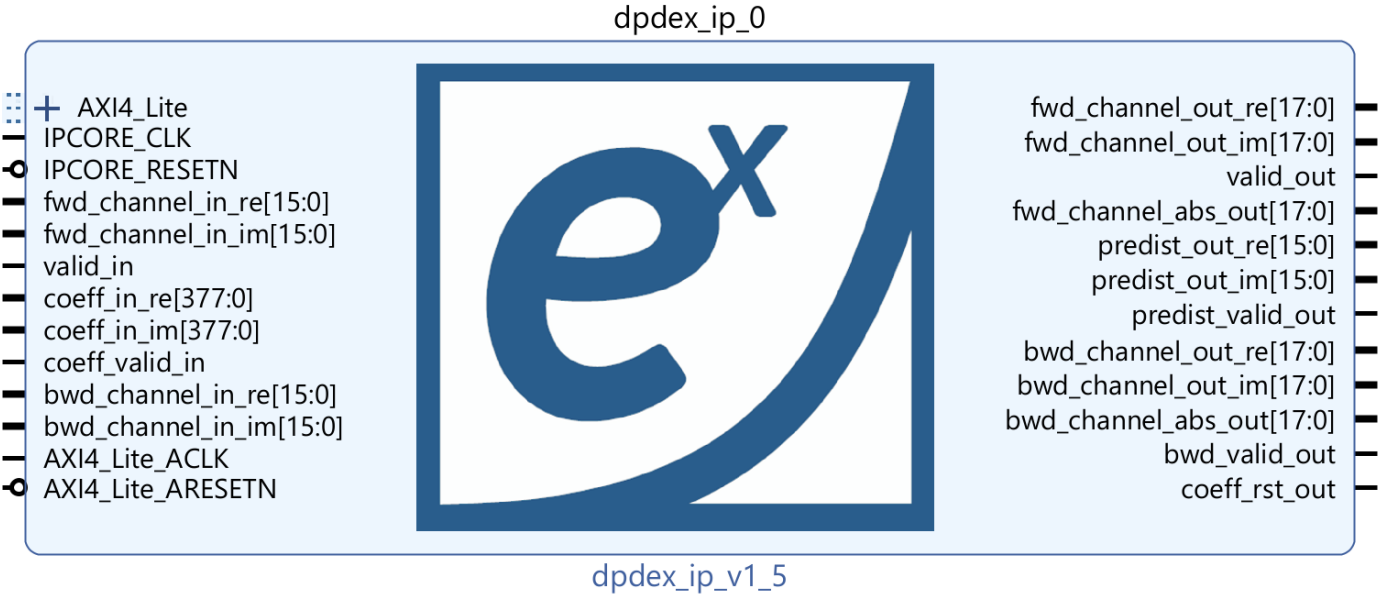


IP-ядра для систем связи от ЦИТМ Экспонента - основа DFE



- DPDeх-IP (Цифровые предыскажения)
- FFTех-IP (Быстрое преобразование Фурье)
- РС-CFRех-IP (снижение пик-фактора)
- OFDMех-IP (OFDM модулятор/демодулятор)

IP-ядро цифровых предсказаний DPDex-IP v.1.5



- Алгоритмы предсказания: R/MP
- Порядок полинома: от 3 до 5
- Порядок памяти: от 1 до 7
- Загрузка коэффициентов: AXI/Native

Опционально:

- Корректор уровня по входу
- Корректор уровня по выходу
- Вычисление модуля обратного канала
- Детектор сигнала в обратном канале
- Предустановка коэффициентов

- Эффективная полоса входного сигнала
 - до 220 МГц
- Полоса формируемого предсказанного сигнала
 - до 450 МГц
- Тактовая частота
 - до 450 МГц
- Ресурсы
 - 1454 - 6000 LUT (тип. 4682)
 - 20 - 75 DSP48E1(тип. 57)
 - 4511 - 15859 FF (тип. 12645)
 - 0 BRAM

Конфигурация IP-ядра DPDex-IP v.1.5

Re-customize IP

dpdex_ip_v1_5 (1.5)

Documentation IP Location

Show disabled ports

+ AXI4_Lite	fwd_channelOut_re[17:0]
IPCORE_CLK	fwd_channelOut_im[17:0]
IPCORE_RESETN	valid_out
fwd_channelIn_re[15:0]	fwd_channelAbs_out[17:0]
fwd_channelIn_im[15:0]	predist_out_re[15:0]
valid_in	predist_out_im[15:0]
coeff_in_re[377:0]	predist_valid_out
coeff_in_im[377:0]	bwd_channelOut_re[17:0]
coeff_valid_in	bwd_channelOut_im[17:0]
bwd_channelIn_re[15:0]	bwd_channelAbs_out[17:0]
bwd_channelIn_im[15:0]	bwd_valid_out
AXI4_Lite_ACLK	coeff_rst_out
AXI4_Lite_ARESETN	

Component Name

ENB BWD CHANNEL

ENABLE COEFF NATIVE PORT

ENB FWD CHANNEL OUT

MEMORY [1 - 7]

ORDER

DPDex IP-core suitable for digital predistortion systems with both direct and indirect architectures.

DPDex IP-core introduce predistortion only for baseband signals,
that mean that high order harmonics (such as secon, third) not allows predistortions.

OK Cancel

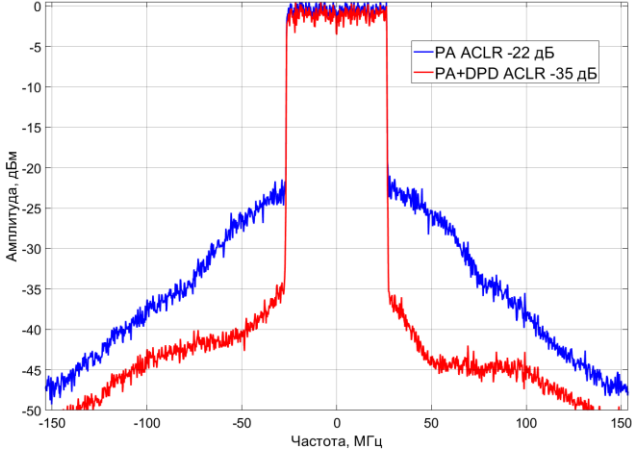
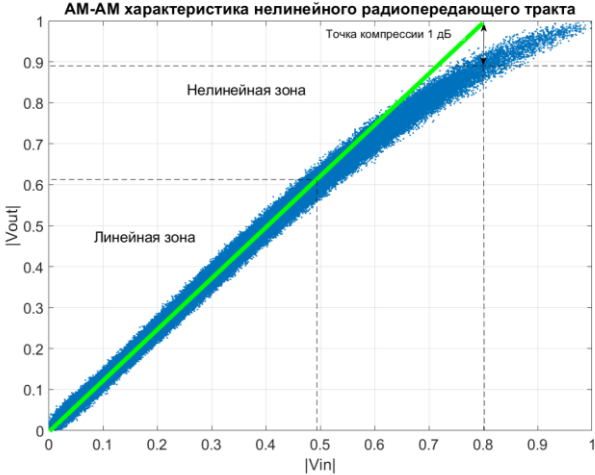
Конфигурирование в проекте Vivado:

- Вкл./Выкл. выхода и вычисление модуля обратного канала
- Вкл./Выкл. выхода прямого канала
- Вкл./Выкл. нативного порта загрузки коэффициентов
- Порядок памяти
- Порядок полинома

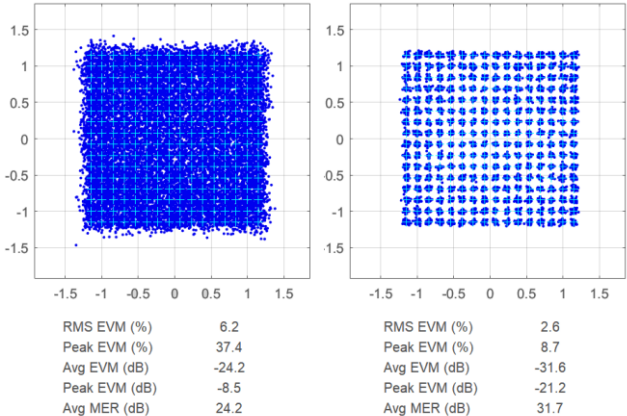
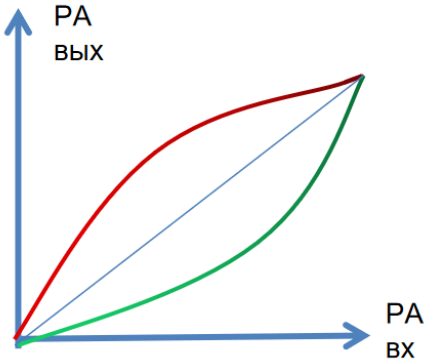
Конфигурирование по AXI4-Lite интерфейсу:

- Установка корректора уровня по входу
- Установка корректора уровня по выходу
- Предустановка коэффициентов
- Загрузка/считывание коэффициентов
- Вкл./Выкл. детектора обратного канала
- Считывание модуля обратного канала

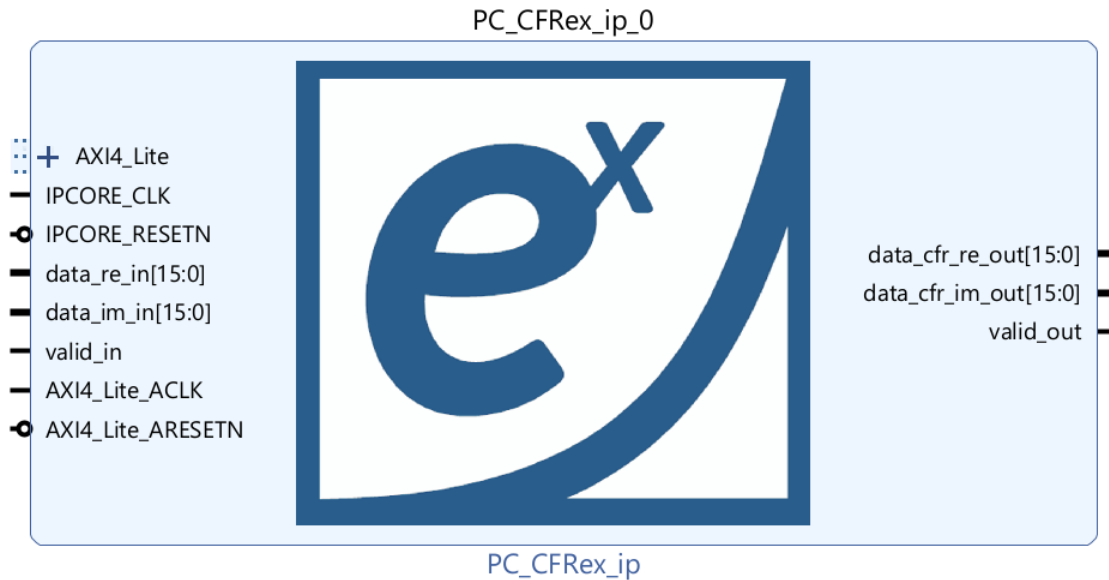
Принцип работы DPDex-IP



- Снижение внеполосных искажений(ACPR)
- Снижение модуля вектора ошибки(EVM)



IP-ядро снижения пик-фактора PC_CFRex-IP v.2.0



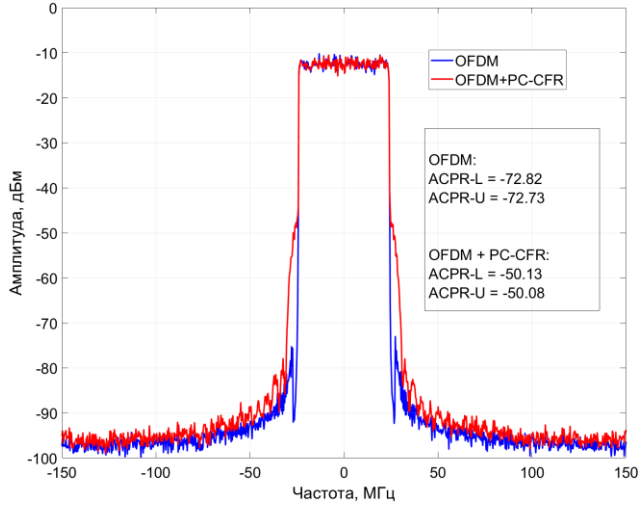
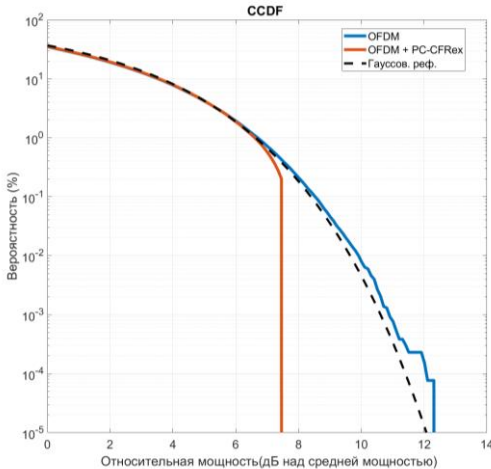
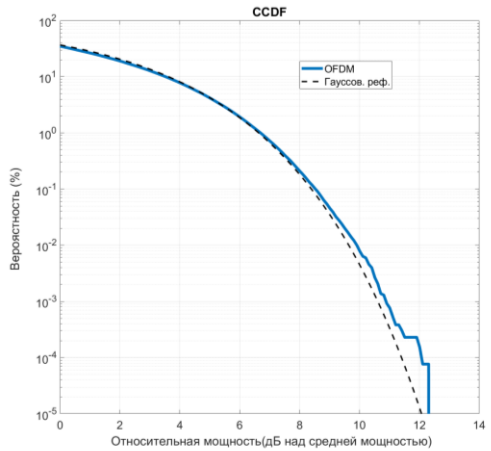
- Алгоритм: non-data-aided
- Кол-во стадий: от 1 до 3
- Порядок коэффициентов PC: от 8 до 64
- Загрузка коэффициентов PC: AXI

Опционально:

- Корректор уровня по входу
- Встроенный «hard clipper»

- Эффективная полоса входного сигнала
 - до 80 МГц
- Тактовая частота
 - до 400 МГц
- Ресурсы
 - 9000 LUT
 - 200 DSP48E1
 - 16203 FF
 - 0 BRAM

Снижение пик-фактора сигнала с помощью PC-CFRex-IP

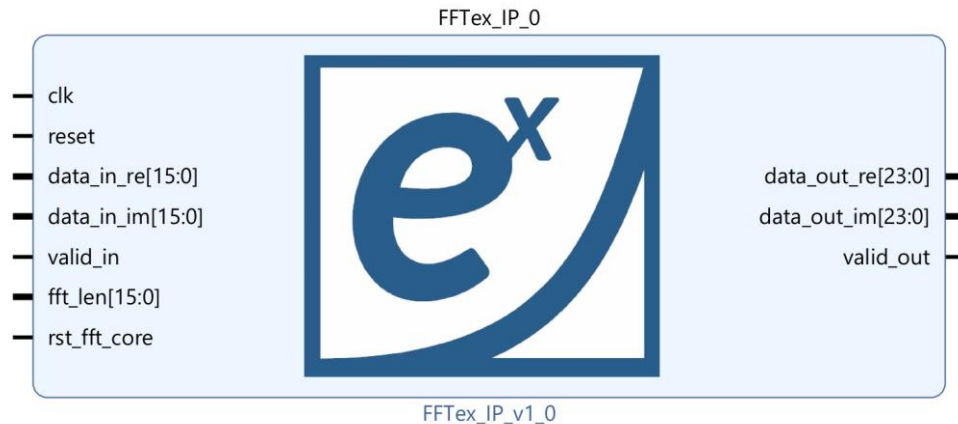


Снижение пик-фактора позволяет:

- Повысить энергетику сигнала
- Улучшить работу DPD

Производитель	Lattice Semi	Altera	Xilinx	Texas Instr	Systems 4Silicon	ЦИТМ Экспонента
Тип сигнала	LTE 20 MHz	LTE 20 MHz	LTE 20 MHz	LTE 20 MHz	LTE 20 MHz	LTE 20 MHz
PAPR w/CFR, дБ	7.3	6.5	7.5	8	7	7.6
EVM, %	3.7	13.8	4	-	5	3.2
Тип CFR	non-data-aided	non-data-aided	non-data-aided	non-data-aided	non-data-aided	non-data-aided

IP-ядро БПФ/ОБПФ FFTex-IP

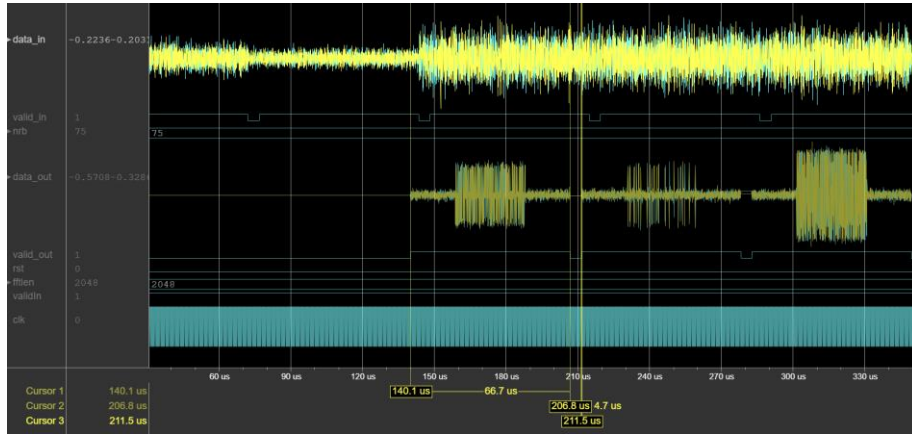


- Технические характеристики FFTex-IP
- Режимы работы (выбор без переконфигурации):
 - БПФ
 - ОБПФ
- Максимальное значение длины FFT устанавливаемое при конфигурации - 64, 128, 256, 512, 1024, 2048

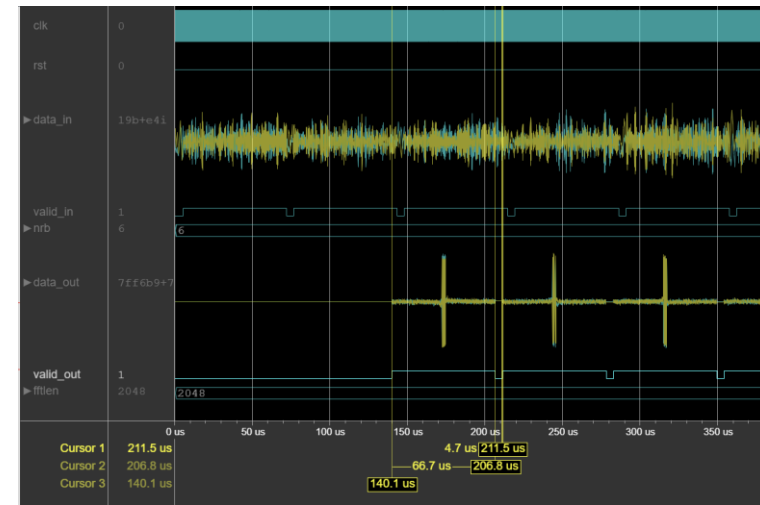
Архитектура

- Streaming Radix-4
- Максимальная тактовая частота работы ядра – 270 МГц (Xilinx Zynq7100/ Zynq7045/Kintex-7)
- Максимальное значение длины БПФ - 2048
- Минимальное значение длины БПФ - 128
- Поддержка конфигурации количества ресурсных блоков для LTE (TS 36.212) 6, 15, 25, 50, 100
- LUT – 5822
- DSP – 16
- FF – 8553
- RAMB36E1 - 10

IP-ядро БПФ/ОБПФ FFTех-IP

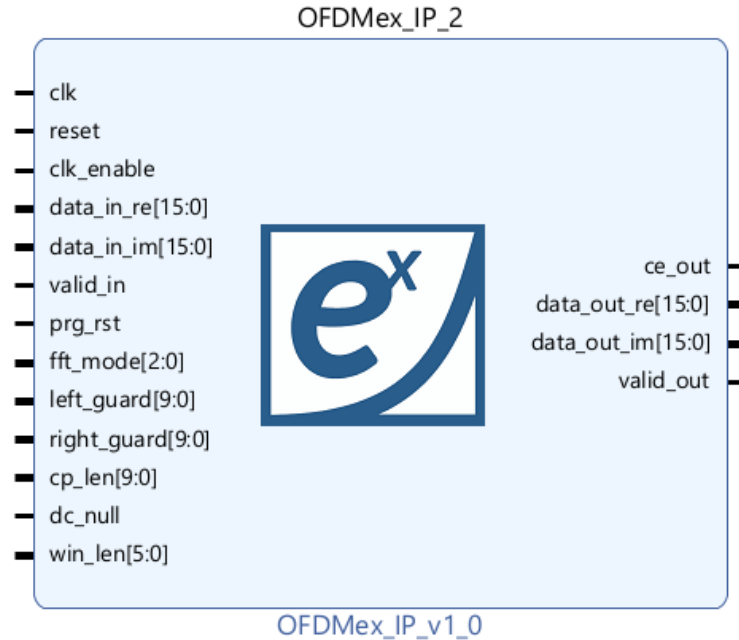


Временные диаграммы сигналов на входе и выходе IP-ядро FFTех-IP работающего в составе OFDM демодулятора с параметрами: $fft_len = 4$ (100 ресурсных блоков), $fs = 30.72$ МГц.



Временные диаграммы сигналов на входе и выходе IP-ядра FFTех-IP работающего в составе OFDM демодулятора с параметрами: $nrb = 0$ (6 ресурсных блоков), $fs = 30.72$ МГц.

IP-ядро OFDM модулятор/демодулятора OFDMex-IP



- Технические характеристики OFDMex-IP
- Режимы работы:
 - OFDM-модулятор
 - OFDM-демодулятор
- Максимальное значение длины FFT устанавливаемое при конфигурации - 64, 128, 256, 512, 1024, 2048
- Значение длины FFT устанавливаемое через порт - 64, 128, 256, 512, 1024, 2048 (fft_len <= FFTmax)
- Максимальная длина окна при оконной обработке в модуляторе - 32 (по стандарту IEEE 802.11g)

В режиме модулятора:

Максимальная тактовая частота работы ядра – 345 МГц (Xilinx Zynq7100-2)

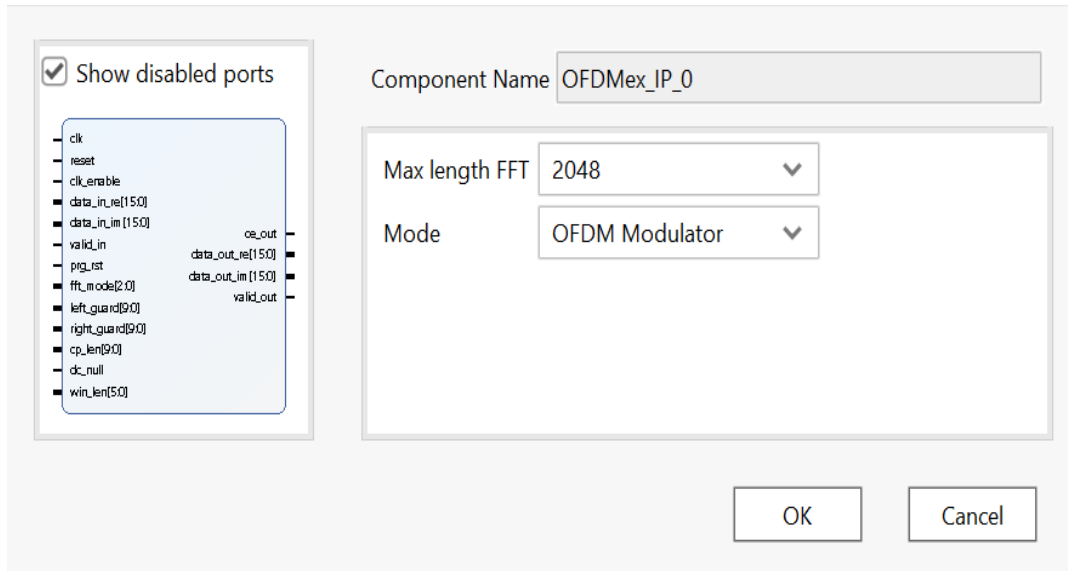
- LUT – 5571
- DSP – 19
- FF – 8073
- RAMB36E1 - 17.5

В режиме демодулятора

Максимальная тактовая частота работы ядра – 305 МГц (Xilinx Zynq7100-2)

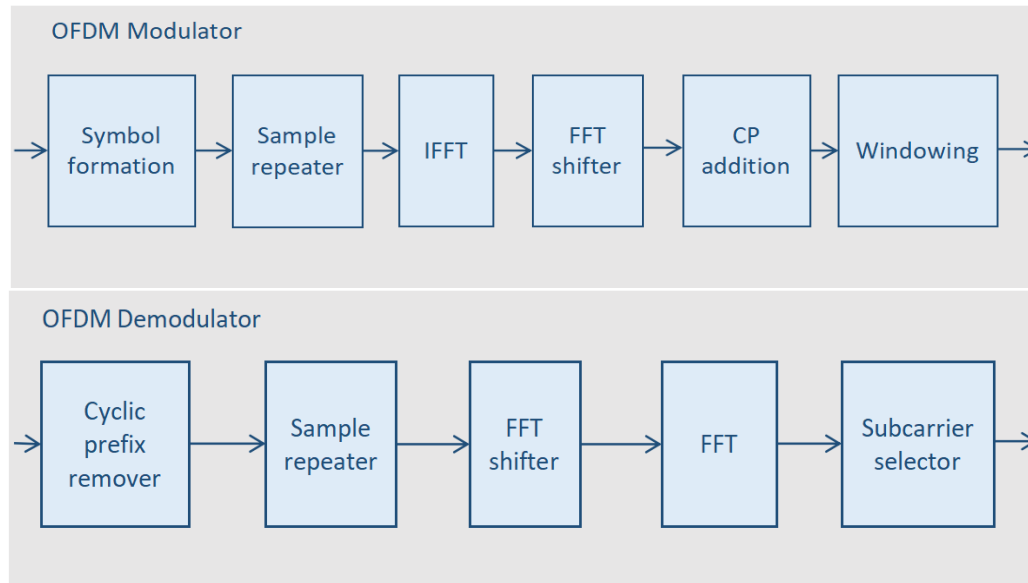
- LUT – 6421
- DSP – 16
- FF – 9489
- RAMB36E1 - 15

Конфигурация IP-ядра OFDMex-IP



- Номер режима выбирается из ряда: 0, 1, 2, 3, 4, 5, что соответствует длине FFT 64, 128, 256, 512, 1024, 2048 соответственно.
- Порты `cp_len`, `left_guard`, `right_guard` задаются соответственно длина циклического префикса, размер левого и правого защитного интервала.
- Порт `win_len` для установки длины окна при оконной обработке.
- Порт `dc_null` в режиме модулятора используется для установки режима автоматической вставки отсчёта нулевой постоянной составляющей.

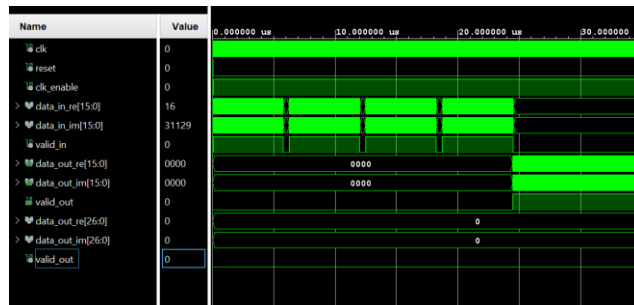
Возможности IP-ядра OFDMex-IP



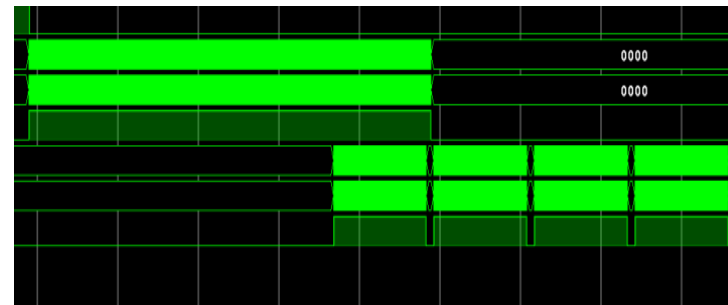
Совместимость со стандартом LTE

IP-ядро OFDMex-IP может быть использовано в системах связи стандарта LTE с количеством ресурсных блоков (NDLRB): 6, 15, 25, 50, 100. Например для NDLRB = 50 в режиме extended CP следует установить параметры: `fft_mode = 4`, `dc_null = 1`, `cp_len = 256`, `left_guard = 212`, `right_guard = 211`.

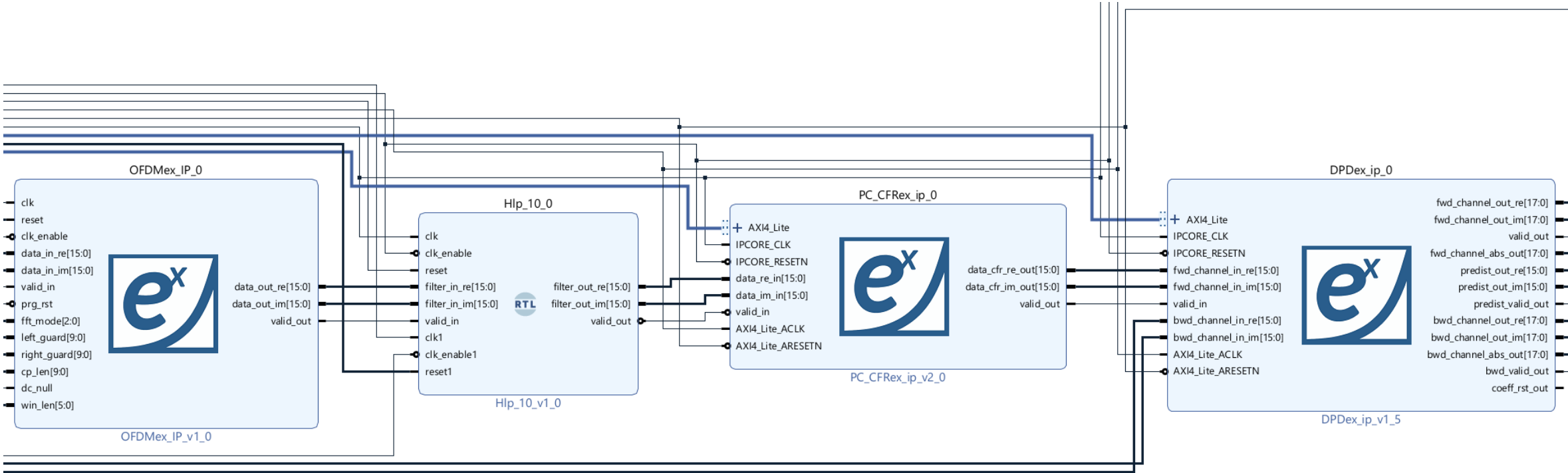
модулятор OFDMex-IP



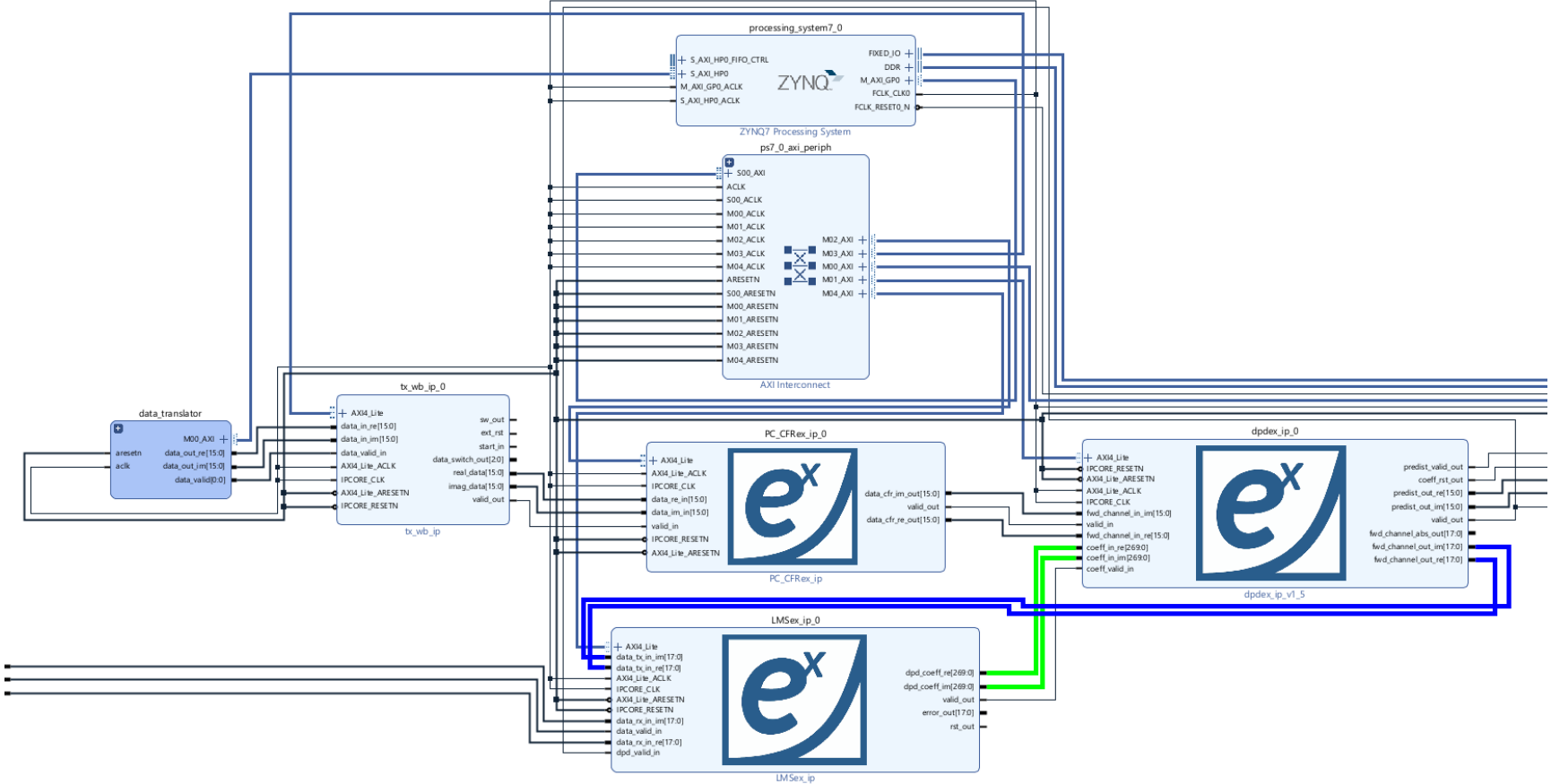
демодулятор OFDMex-IP



Использование IP-ядер OFDMex-IP, DPDex-IP и PC-CFRex-IP DFE-TX



Использование IP-ядер OFDMex-IP DPDex-IP и IP-ядра PC-CFRex-IP (DPD ILA-hard adaptation)



Engage – среда для разработки сложных систем



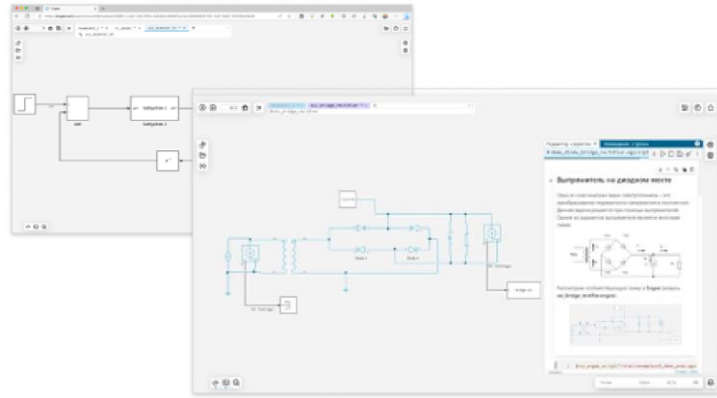
Графики
Визуализируйте и исследуйте результаты



Анализ данных
Исследуйте, моделируйте и анализируйте данные



Программирование
Создавайте скрипты, функции и классы



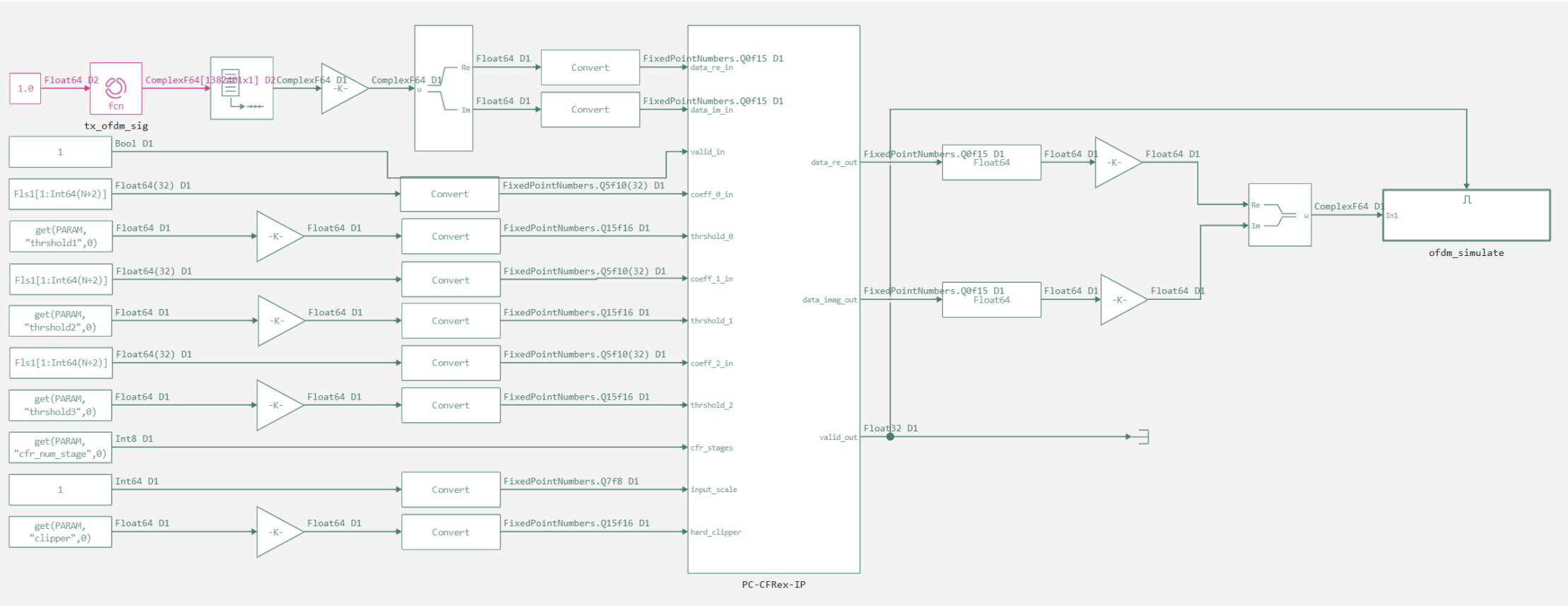
Мультидоменное моделирование алгоритмов и физических систем

Многоуровневое моделирование для построения сложных архитектур систем

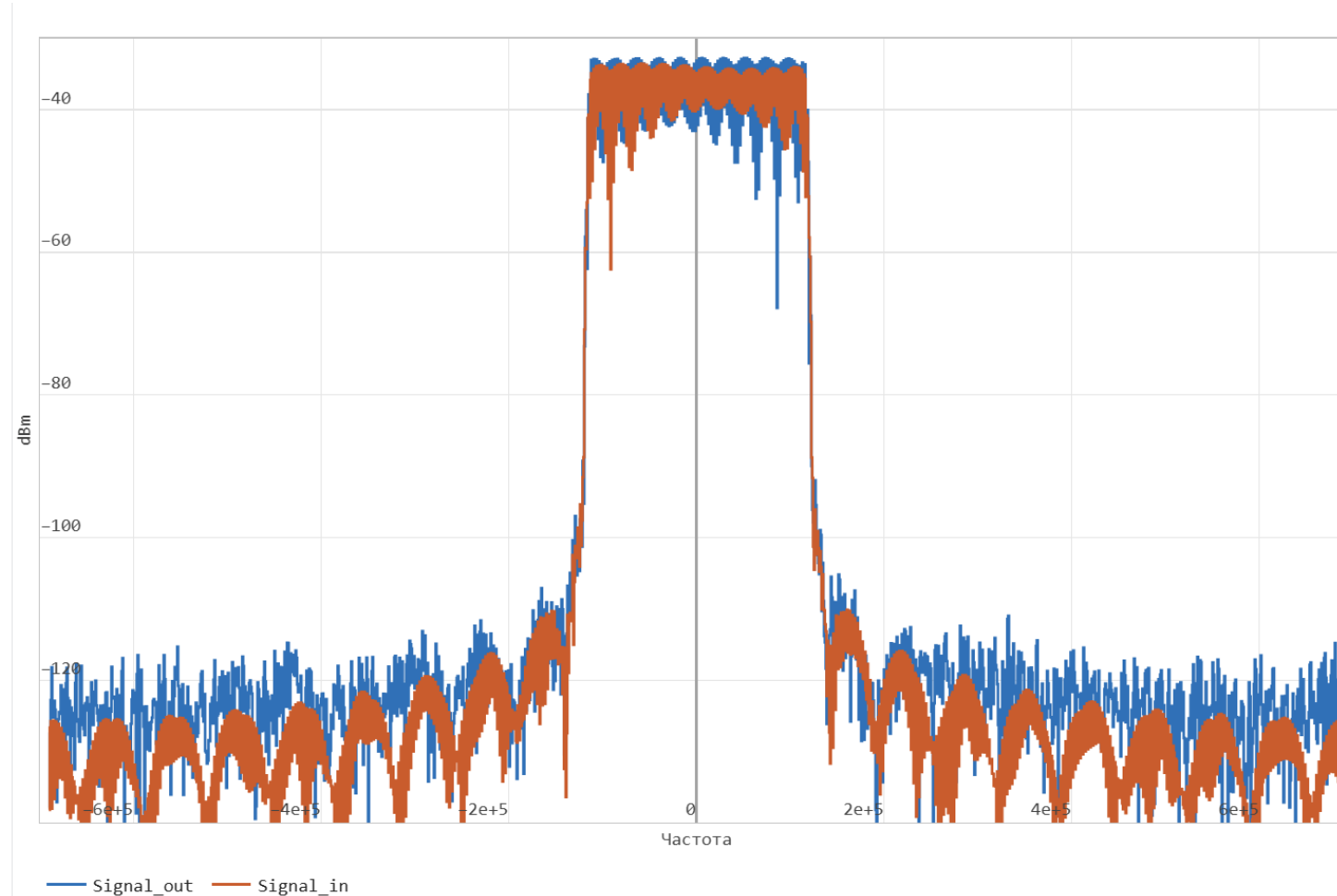
Автоматическая генерация кода, непрерывное тестирование



Пример моделей IP-ядер в Engage (PC-CFRex-IP)



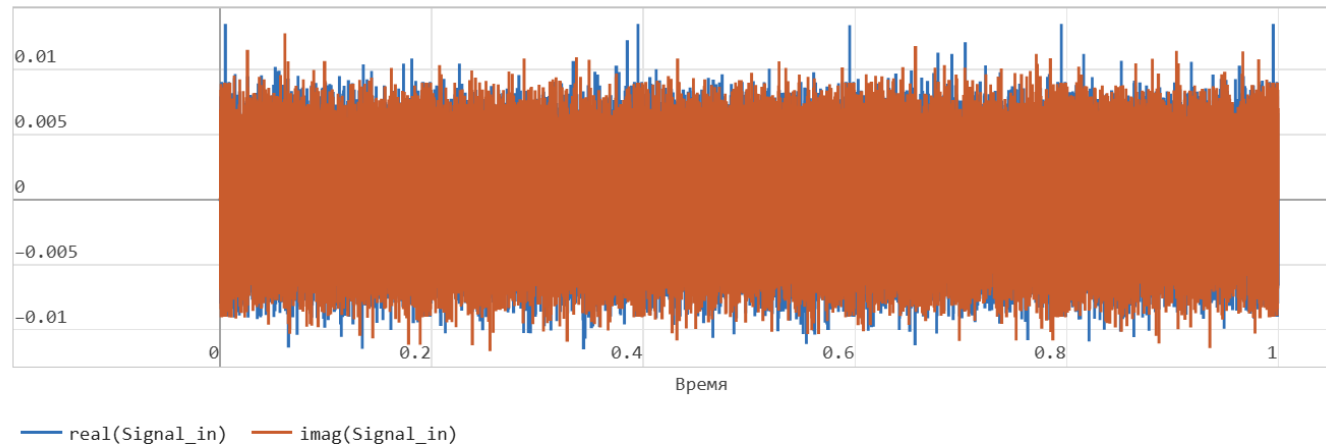
Симуляция IP-ядер в Engae (PC-CFR)



ACPR = 75 дБ

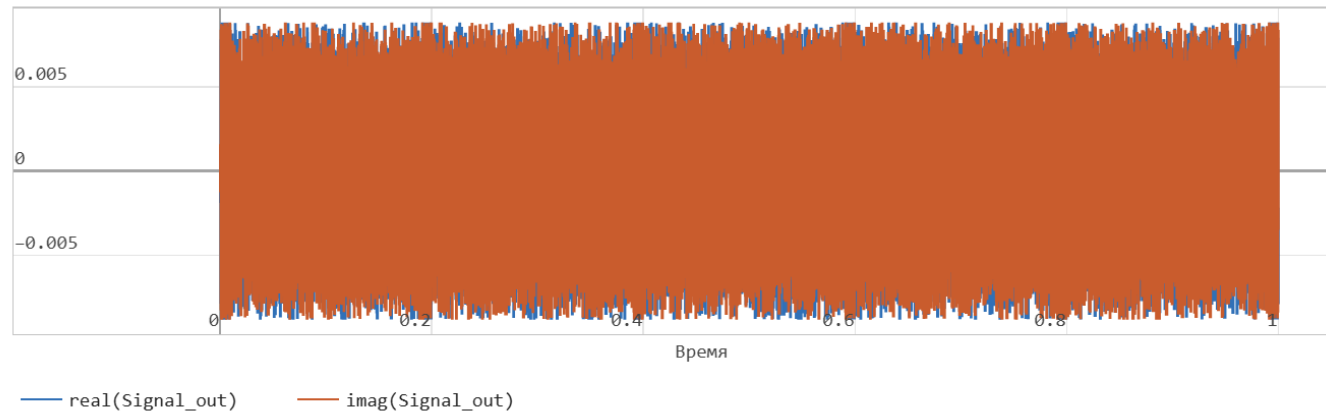
ACPR + PC-CFR = 70 дБ

Симуляция IP-ядер в Engae (PC-CFR)



PAPR = 11.5 дБ

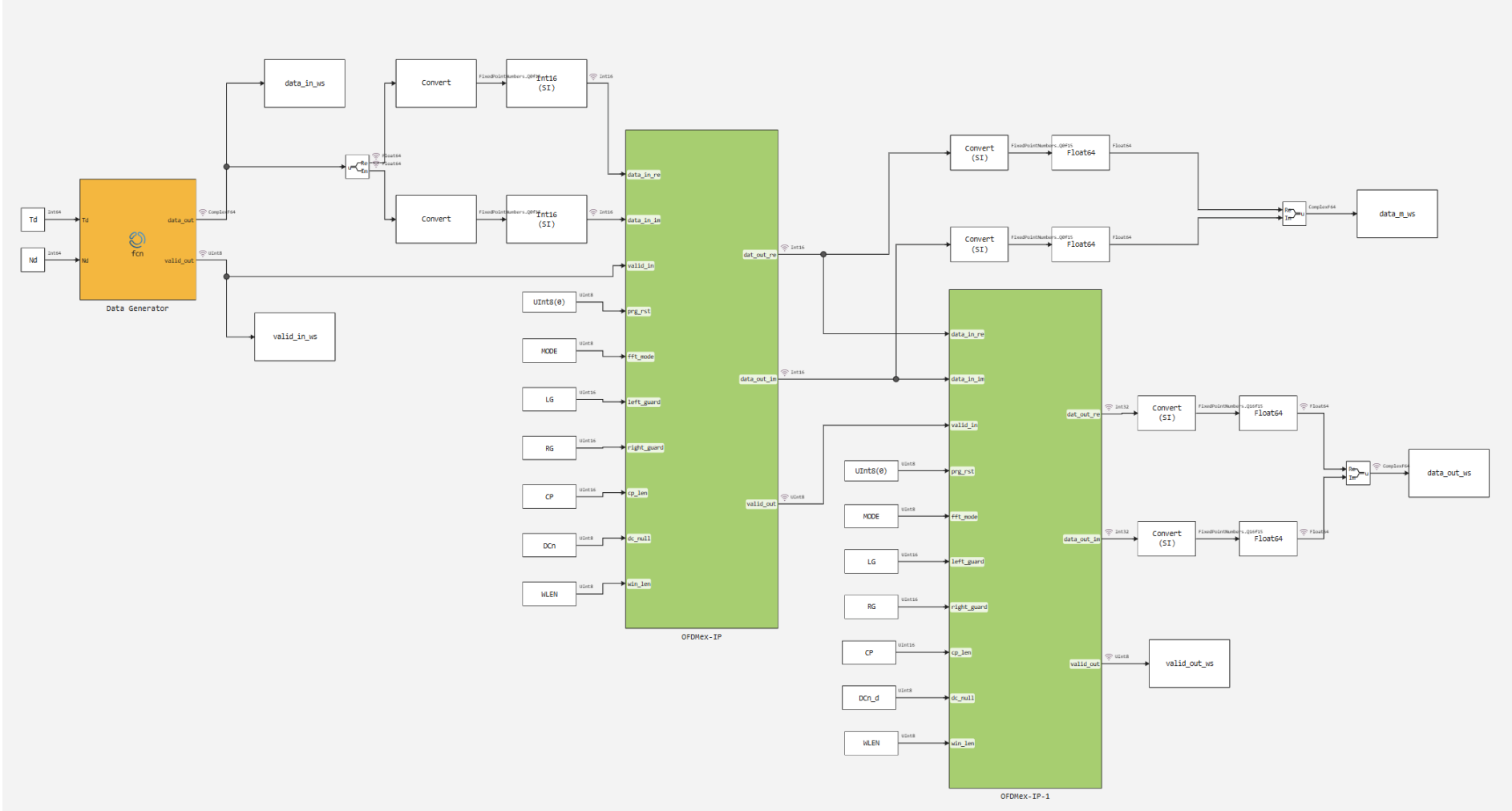
EVMrms = 0.3%



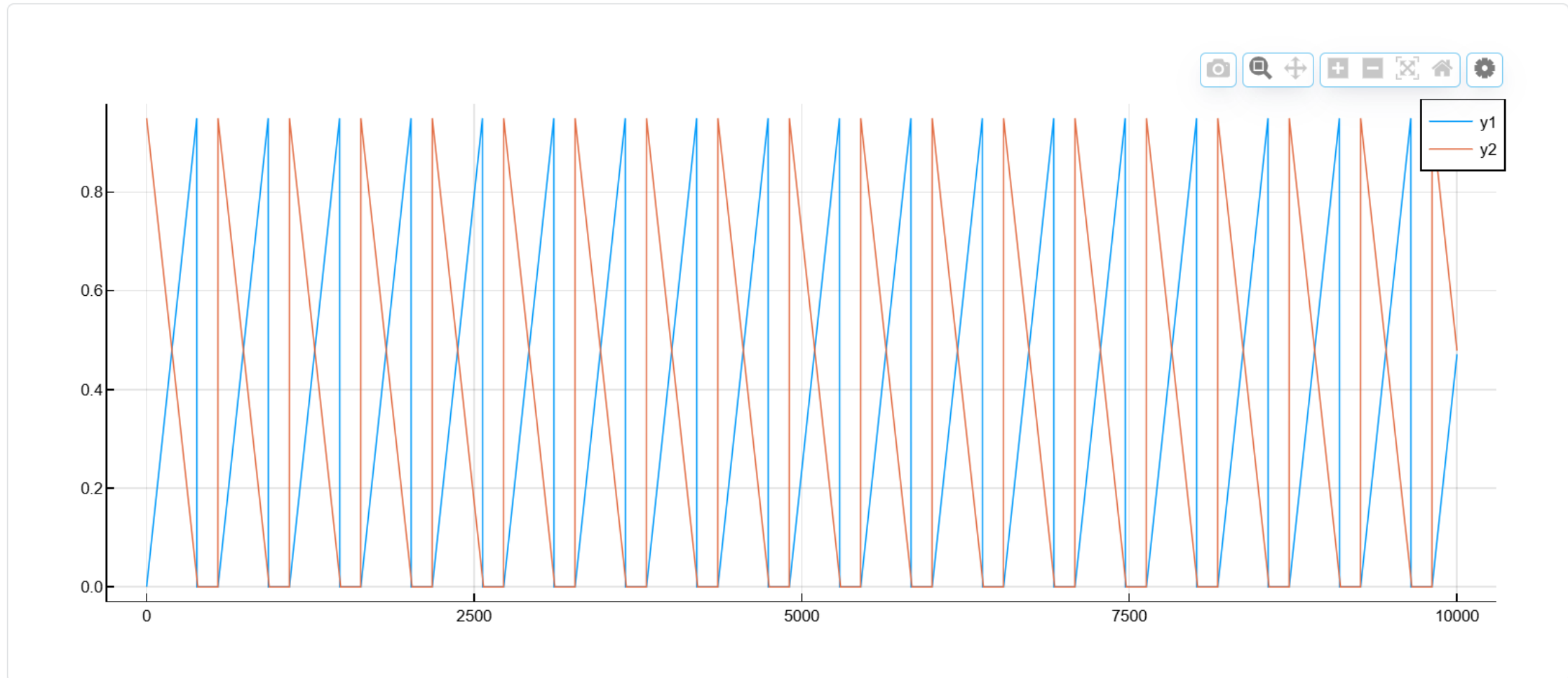
PAPR = 7.8 дБ

EVMrms = 2.9%

Пример моделей IP-ядер в Engage (OFDMex-IP)

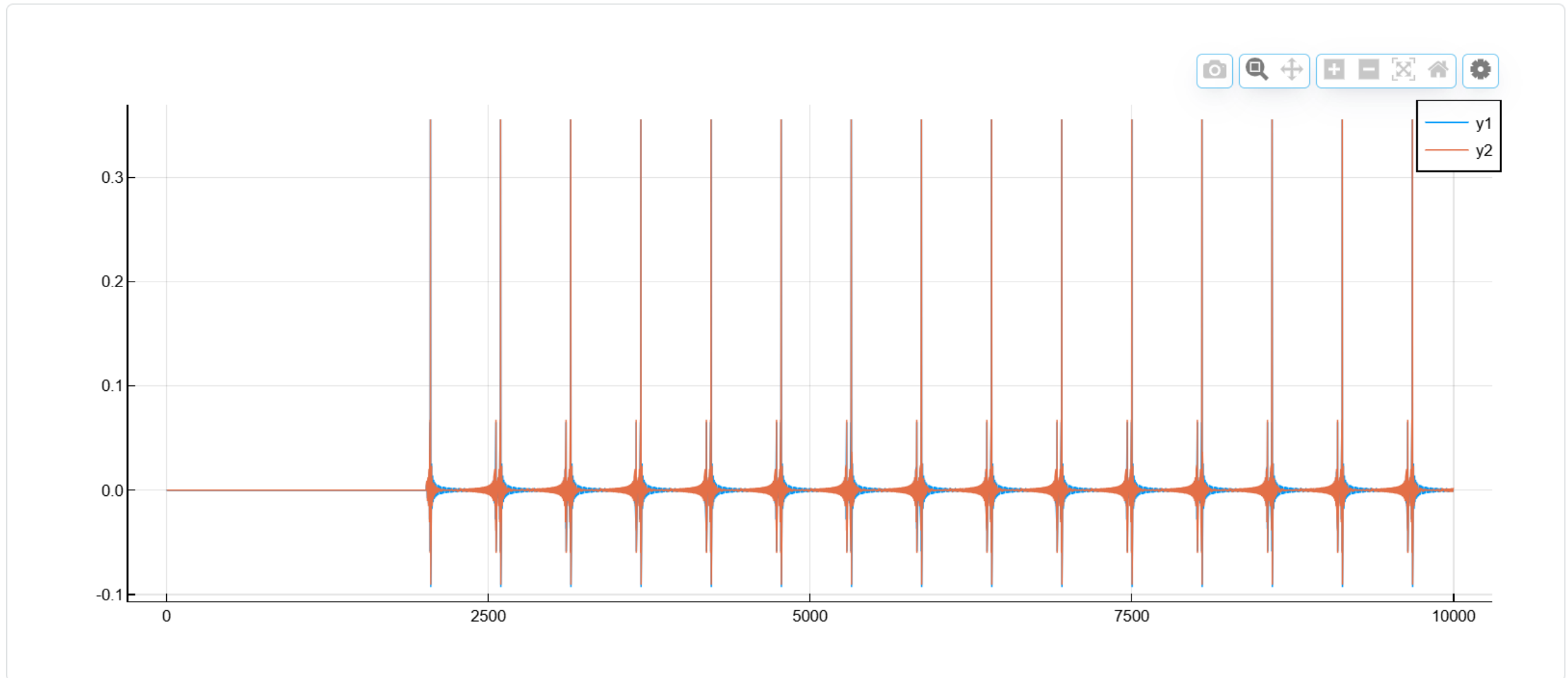


Симуляция IP-ядер в Engae (OFDMex-IP)



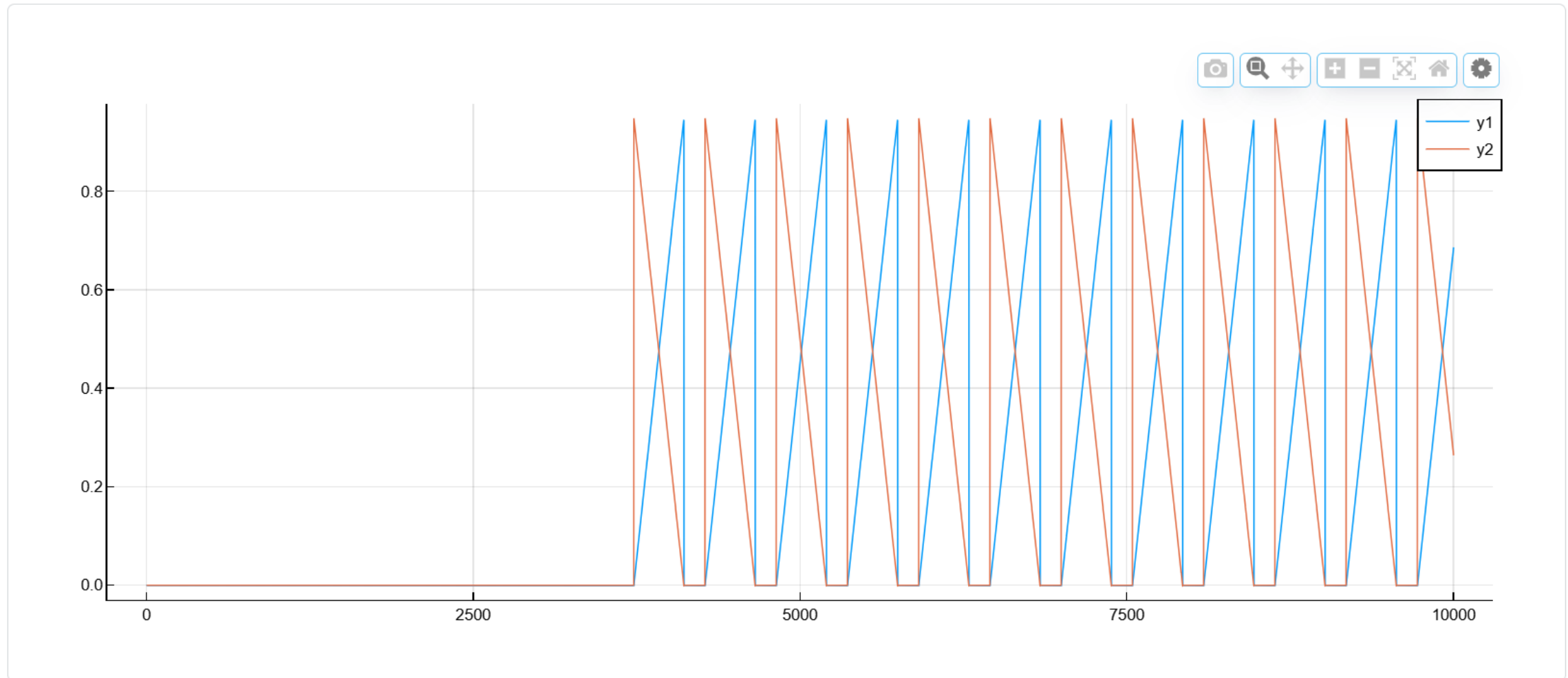
Сигнал на входе OFDM-модулятора

Симуляция IP-ядер в Engae (OFDMex-IP)



Сигнал на выходе OFDM-модулятора

Симуляция IP-ядер в Engae (OFDMex-IP)



Выход OFDM-демодулятора

Приложение для характеристики усилителей мощности и генерации нелинейных моделей (APP PA) - основа DPD

Моделирование усилителя

Алгоритмы для расчёта коэффициентов предсказателей: **NLMS**

Архитектура для расчёта модели усилителя: **MP**

Шаг сходимости μ : **0,01**

▶ Запустить расчёт

Глубина памяти: **5**

Степень полинома: **5**

Частота дискретизации F_s : **4,4** GHz

Порядок полинома: Четный Нечетный

Вы выбрали: **Четный**

Диапазон отсчётов для расчёта модели: **200000**

Конечное значение: **400000**

Загрузить отсчёты квадратур Uвх/Uвых сигналов из файла .mat

Скачать файл .txt с рассчитанными коэффициентами УМ

Расчёт ошибки работы модели - NMSE от исходных сигналов: **-24.081773**

Расчёт ошибки работы модели - NMSE от исходных сигналов в дБ: **-66.350616**

Расчёт PAPR Uвх после синхронизации, дБ: **7.49506**

Расчёт PAPR Uвых после синхронизации, дБ: **6.844434**

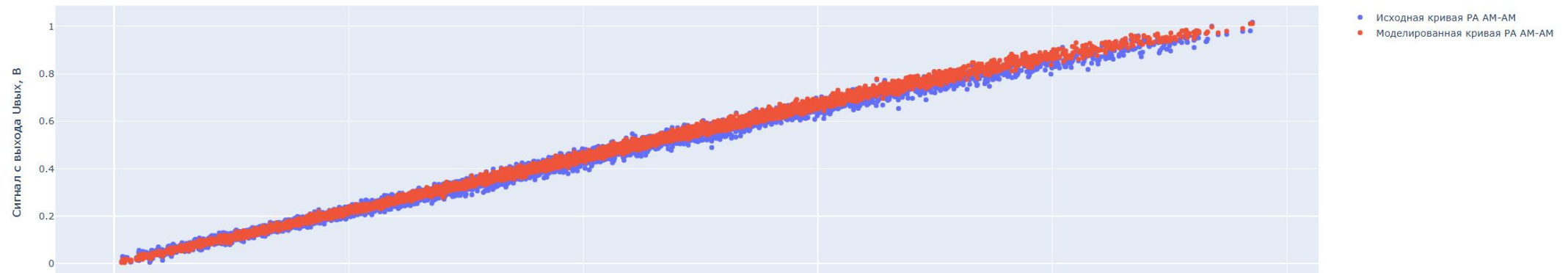
Настройка отображения графиков: Входной сигнал Выходной сигнал Моделированный сигнал

Построить модель PA в среде моделирования Engage

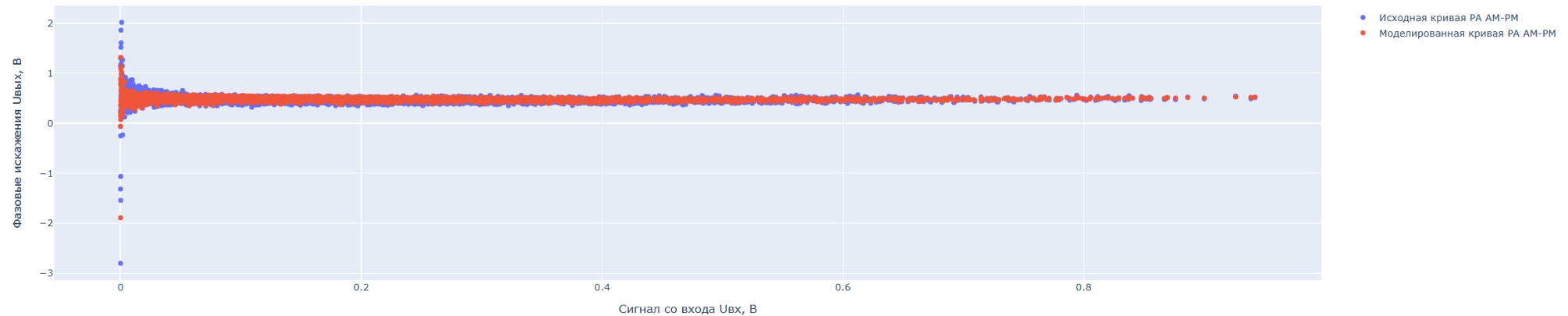
СИГНАЛ UВХ И UВЫХ СПЕКТР СИГНАЛА UВХ И UВЫХ AM-AM AM-PM CCDF

Расчёт AM-AM/AM-PM характеристик

СИГНАЛ UВХ И UВЫХ СПЕКТР СИГНАЛА UВХ И UВЫХ AM-AM AM-PM CCDF



СИГНАЛ UВХ И UВЫХ СПЕКТР СИГНАЛА UВХ И UВЫХ AM-AM AM-PM CCDF



Автоматический синтез модели усилителя мощности в Engee

The screenshot displays the Engee software interface. On the left, a file explorer shows a list of files in the /user/ directory, including MATLAB and Engee files. The main workspace contains a block diagram with two input blocks labeled 'Vin_exOut1' and 'Coeff_eOut1' connected to a central block 'PA_ModelOutput ModelOutput'. The output of this block is connected to a 'workspace_out' block. Below the diagram, the text 'PA_ModelOutput-1' is visible. On the right, a settings panel titled 'Настройки' is open, showing the 'Main group' configuration for an 'EngeeFunction' type. The settings include:

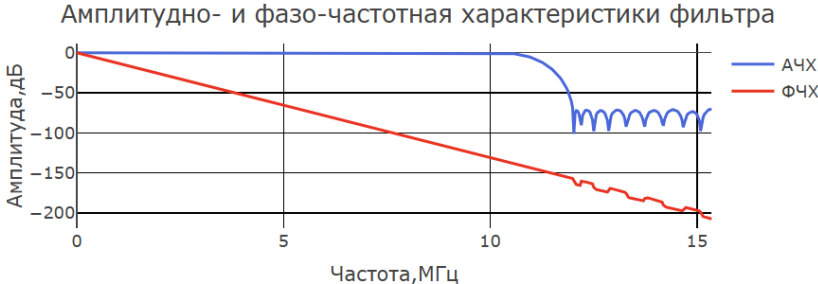
- Полиномиальный тип: "MP"
- Порядок полинома: "Четный"
- Глубина памяти: 5.0
- Степень полинома: 7.0

Синтез цифровых фильтров

- АЧХ**
- ФЧХ
- АЧХ и ФЧХ
- ГВЗ
- ФЗ
- ИХ
- ПХ
- НПД
- КФ

Информация о фильтре

Тип ИХ фильтра: КИХ
 Тип АЧХ фильтра: ФНЧ
 Порядок: 64
 Частота дискретизации: 30720000



Тип АЧХ фильтра

- Фильтр нижних частот
- Фильтр верхних частот
- Полосовой фильтр
- Режекторный фильтр

Метод синтеза фильтра

- БИХ **Баттерворта**
- КИХ **Равномерная**

Порядок фильтра

- Минимальный порядок
- Произвольный порядок **64**

Параметры

Коэффициент плотности сетки частоты: **20**

Требования к частотам

Размерность: **Гц**
 Частота дискретизации: **30720000**
 Частота пропускания: **10000000**
 Частота подавления: **12000000**

Требования к АЧХ

Введите значения весовых коэффициентов W для соответствующих полос
 W в полосе: **1**
 W вне полосы: **1**

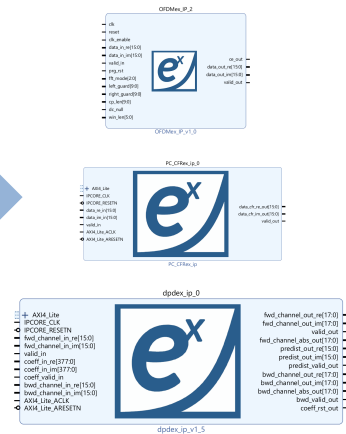
Модели IP-ядер в среде Engage

- Представленные IP-ядра основаны на моделях из среды Engage
- Модели позволяют пользователю на раннем этапе верифицировать прототип создаваемой системы связи
- Параметризация модели полностью соответствует параметризации IP-ядра

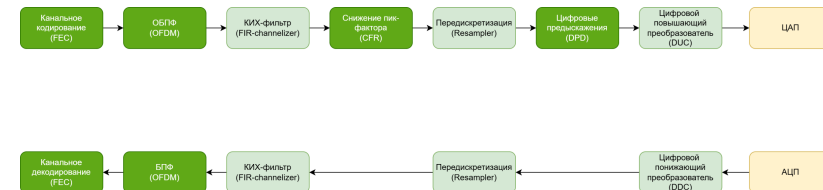
Engage



IP-core

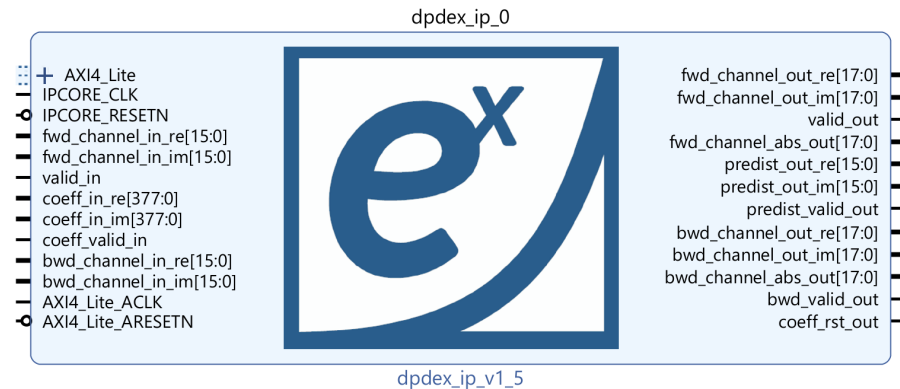


Ваша готовая система связи

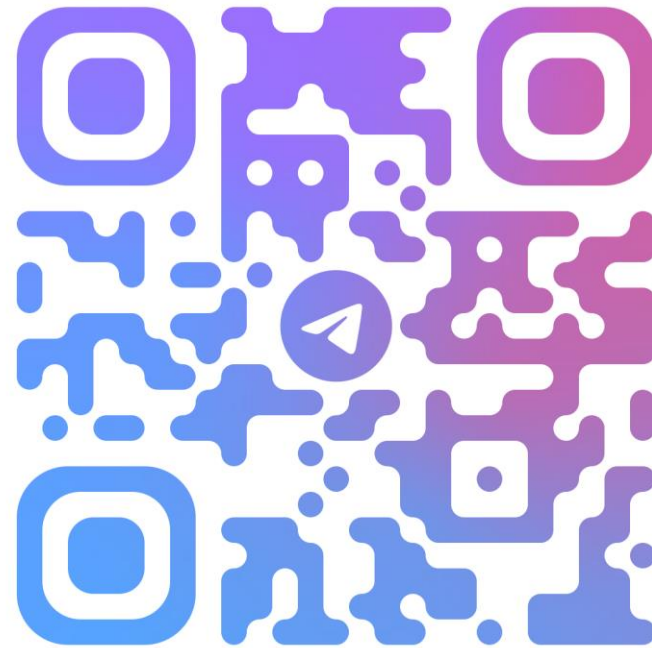


Что входит в комплект поставки IP-ядра?

- Зашифрованное IP-ядро (по стандарту IEEE1735 - 2023 v2)
- Лицензия на использование IP-ядра
- Тестбенч для поведенческой симуляции в среде Vivado
- Модель в среде Engage



Telegram-канал Engее



@ENGEE_COM