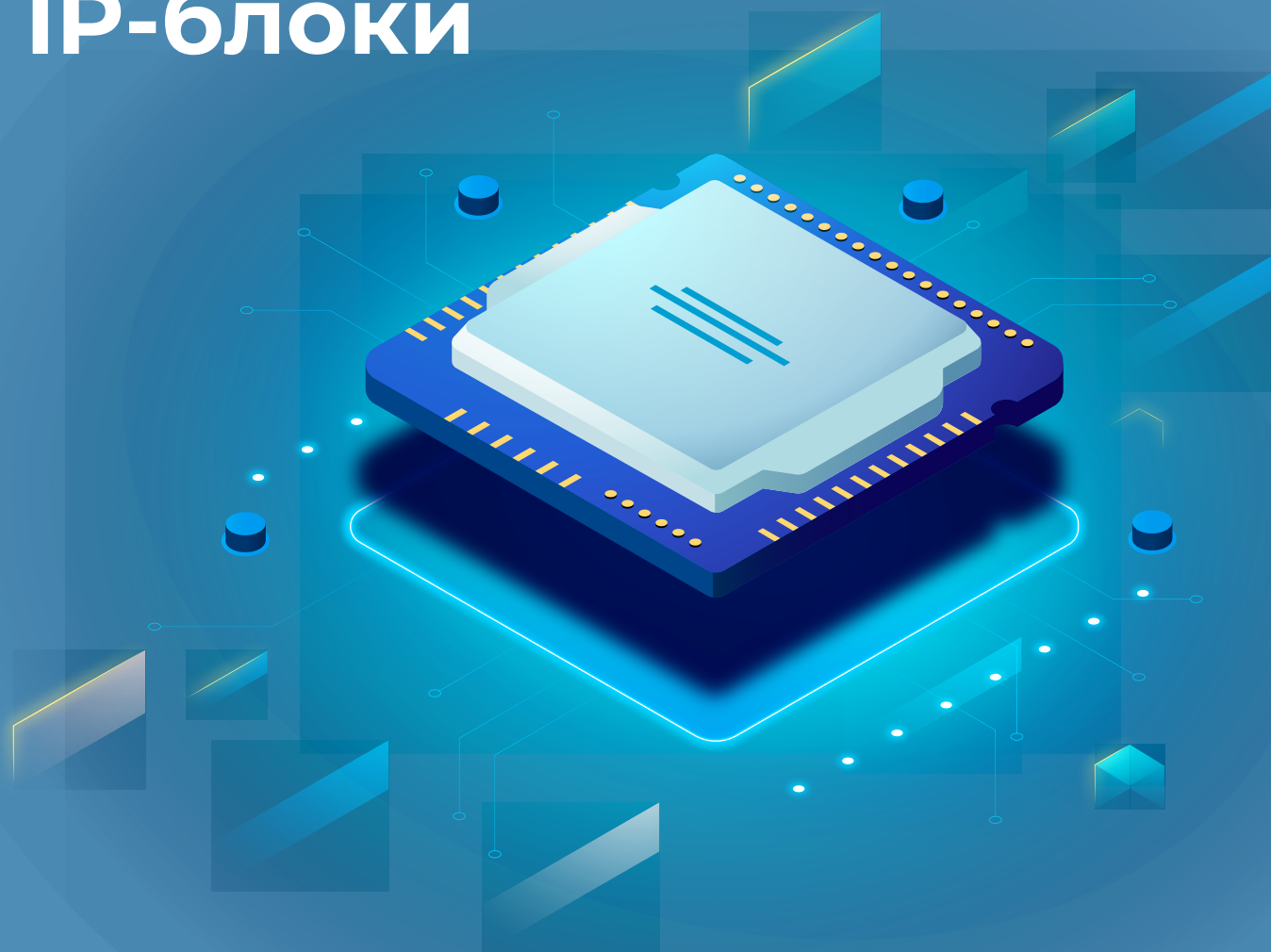


КАТАЛОГ

Программные IP-блоки



DPDex-IP

Цифровые предискажения сигнала

Современные и проектируемые системы радиосвязи (3G/4G/5G, LTE/LTE-A, Wi-Fi 802.11n/ac/ax), предназначенные для передачи больших объемов информации, предполагают использование каналов с высокой спектральной эффективностью (бит/(с×Гц)). В свою очередь высокая спектральная эффективность, как правило, приводит к высокому уровню пик-фактора формируемого сигнала ($PAPR > 3$ дБ). Всё это накладывает жёсткие требования к линейности радиопередающего тракта (ACPR, ACLR, EVM), что приводит к увеличению стоимости, габаритов и одновременно к снижению КПД всей системы радиосвязи. На Рис.1 представлена типовая нелинейная передаточная характеристика (AM-AM).

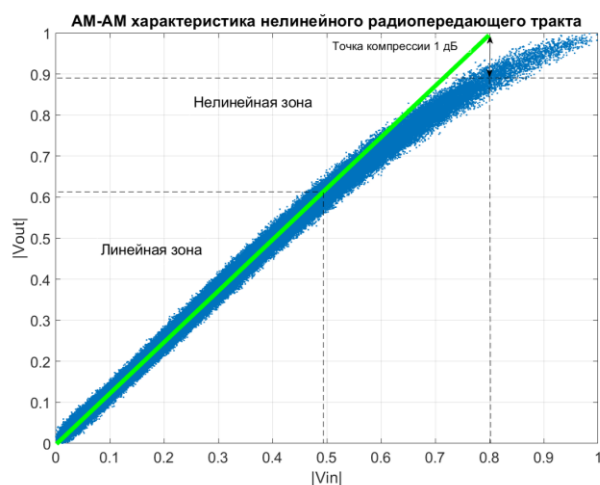


Рис.1

Для решения проблемы линейности радиопередающего тракта и одновременно сохранению энергетических характеристик системы радиосвязи наиболее оптимальным является использование цифровых предискажений формируемого сигнала

(DPD). На Рис.2 представлен принцип действия DPD применительно к нелинейной передаточной характеристике (AM-AM).

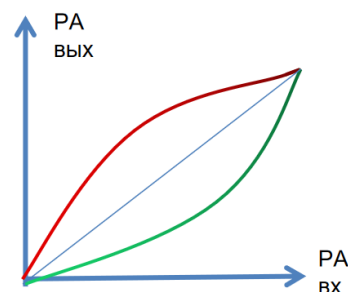


Рис.2

В течении последних нескольких лет компания ЦИТМ «Экспонента» ведёт исследование и разработку систем ввода цифровых предискажений DPD. На рис.3 представлен стенд измерения и отладки алгоритмов ЦОС для разработки систем связи с использованием DPD.

Разработка алгоритмов DPD довольно сложная задача, требующая большого количества времени и ресурсов, при этом конечный результат может потребовать значительных вычислительных ресурсов от целевой платформы.



Рис.3

Для снижения потенциальных затрат и потерь разработчиков систем связи компания ЦИТМ «Экспонента» предлагает IP-ядро собственной разработки DPDex-IP, предназначенное для линейаризации радиопередающего тракта современных систем радиосвязи.

Описание DPDex-IP

IP-ядро DPDex-IP предназначено для непосредственного ввода цифровых предсказаний в формируемый сигнал. Архитектура IP-ядра DPDex-IP не привязана к конкретному производителю ПЛИС/СБИС, что повышает гибкость и независимость, разрабатываемых систем радиосвязи.

Предсказание входного сигнала осуществляется в соответствии с загружаемыми коэффициентами. Загрузка коэффициентов возможна через базовый «нативный» порт, а также через стандартный интерфейс AXI-4Light. Таким образом, IP-ядро DPDex-IP способно работать с системами адаптации, работающими в режиме постоянного обновления коэффициентов (расчёт ведётся на ПЛИС/СБИС) и с системами адаптации, предусматривающими периодическое обновление коэффициентов с помощью софт-процессора (например: ARM/Nios/Microblaze/RISC-V). IP-ядро DPDex-IP имеет встроенную цепь обхода DPD, т.е. позволяет оперативно включать и выключать ввод предсказаний.

Дополнительно, IP-ядро DPDex-IP осуществляет вычисление модуля сигнала для прямого и обратного каналов, что позволяет контролировать уровень сигнала на выходе радиопередающего тракта. Кроме того, опционально, IP-ядро DPDex-IP может применять заранее рассчитанные коэффициенты, что удобно для тех систем, где нелинейные свойства радиопередающего тракта не изменяются со временем. Для масштабирования и задания необходимого

уровня сигнала, может использоваться входной 18-битный умножитель.

Технические характеристики DPDex-IP:

- Архитектура – Memory Polynomial Advanced
- Максимальная полоса предсказываемого сигнала – **220 МГц**
- Максимальная тактовая частота работы ядра – **450 МГц** (Xilinx Zynq7100/Zynq7045)
- Максимальное кол-во коэффициентов – **21**
- Ресурсы (P=5, M=5):
 - LUT – **4682**
 - DSP – **57** (в режиме 1 clk/sample)/ 31 (в режиме 2 clk/sample) при максимальном количестве коэффициентов
 - FF – **12645** (в режиме 1 clk/sample при максимальной тактовой частоте 450 МГц).

В IP-ядре DPDex-IP предусмотрена установка настроек из GUI Vivado:

- ENB BWD CHANNEL - включение/отключение блока расчёта модуля сигнала обратного канала.
- ENABLE COEFF NATIVE PORT - включение/отключение внешнего нативного порта ввода коэффициентов.
- ENB FWD CHANNEL OUT - включение/выключение.
- MEMORY - размер памяти для блока Memory Polynomial Advanced
- ORDER - порядок полинома для блока Memory Polynomial Advanced (2 - эквивалентно полиному нечётного порядка третьей степени)

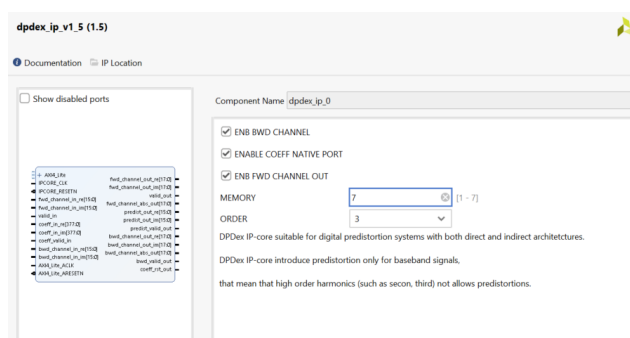


Рис.3

Таблица 5 Влияние памяти на общее кол-во коэффициентов

NUM OF CO-EFF	ORDER	MEMORY
3	3	1
6	3	2
9	3	3
12	3	4
15	3	5
18	3	6
21	3	7

Количество коэффициентов влияет на эффективность подавления нелинейных искажений и одновременно на сложность алгоритмов расчёта коэффициентов и быстродействие системы DPD в целом.

Производительность

IP-ядро DPDex-IP реализовано с учётом максимальных требований к быстродействию и производительности. ЦИТМ «Экспонента» предлагает улучшенную реализацию архитектуры ввода цифровых предсказаний - Memory Polynomial Advanced. Улучшения архитектуры коснулись быстродействия, точности вычислений, минимизации вычислительных ресурсов. Основным преимуществом IP-ядра DPDex-IP является возможность предсказания сверхширокополосных сигналов (до 220 МГц).

Степень подавления уровня помехи в соседнем канале (ACLR/ACPR) зависит от качества рассчитанных коэффициентов предсказания, нелинейных свойств усилителя мощности, полосы предсказываемого сигнала. Качество коэффициентов предсказания определяется алгоритмами расчёта/адаптации. Наилучших результатов позволяют добиться алгоритмы на основе RLS методов.

Типовое значение подавления ACLR/ACPR лежит в диапазоне от 10 дБ до 25 дБ. На Рис. 4 представлен спектр сигнала без предсказаний и с использованием предсказаний DPDex-IP.

С практической точки зрения наиболее важным является анализ такого параметра как EVM (error vector magnitude) - модуль вектора ошибки.

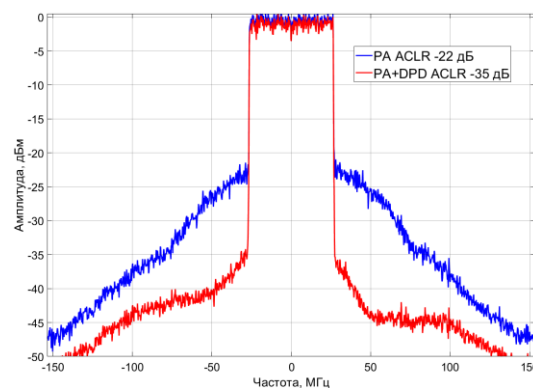


Рис.4

На Рис.5 представлены созвездия сигналов формата QAM-256 без предсказаний и с использованием предсказаний DPDex-IP.

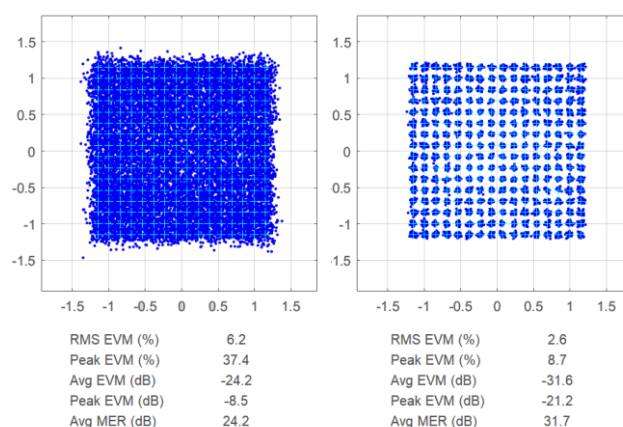


Рис.5

Очевидно, что использование IP-ядра DPDex-IP приводит к существенным улучшениям качества сигнала. EVM сигнала улучшен на 3,6 % (более чем в два раза).

Интеграция

IP-ядро DPDex-IP ЦИТМ «Экспонента», всегда доступно для целевых платформ FPGA и СБИС. Для специальных применений возможно использование IP-ядра DPDex-IP в составе специализированных СнК. Интеграция IP-ядра DPDex-IP в текущие или будущие проекты возможна в соответствии с любыми требованиями и пожеланиями заказчика, силами специалистов ЦИТМ «Экспонента».

Чтобы обсудить ваши конкретные требования к внедрению, пожалуйста, свяжитесь с ЦИТМ Экспонента +7 (495) 009 65 85 | info@exponenta.ru | www.exponenta.ru

FFTech-IP v1.4

IP-ядро FFTex-IP предназначено для выполнения операций БПФ/ОБПФ различной длины над входными данными, представленными в виде квадратурных отсчётов комплексного сигнала.

Применение:

- Базовые станции 3G/4G/LTE/5G NR – для обработки сигналов и обеспечения высокой производительности и гибкости конфигурации.
- Системы связи с OFDM-модуляцией – идеально для OFDM-модуляторов и демодуляторов, используемых в различных стандартах беспроводной связи.
- Радиолокационные системы – для быстрой обработки отражённых сигналов и повышения точности детекции.
- Спутниковая связь и навигация – для обеспечения высокопроизводительной обработки сигналов в системах GPS и ГЛОНАСС.

Архитектура

IP-ядро FFTex-IP реализовано на основе архитектуры Streaming Radix-4. Это архитектура потоковой обработки данных. Она обладает высокой производительностью и предназначена для использования в составе OFDM-модуляторов стандартных (IEEE 802.11n/ac/ax, /LTE/LTE-A/5G NR) и специальных систем связи.

IP-ядро FFTex-IP можно использовать для демодуляции данных стандарта LTE (TS 36.212) с различным количеством ресурсных блоков: 6, 15, 25, 50, 100, что соответствует частотам дискретизации: 1.92 МГц, 3.84 МГц, 7.68 МГц, 15.36 МГц, 30,72 МГц и

полосам пропускания (BW) канала, соответственно, 1.4 МГц, 3 МГц, 5 МГц, 10 МГц, 20 МГц.

Архитектура Streaming Radix-4

Потоковая архитектура Radix-4 имеет минимальную задержку обработки сигнала. Radix-4 отличается от стандартного решения Radix-2, основанного на перегруппировке и разделении БПФ/ОБПФ. Radix-4 имеет $\log_4(N)$ стадий, где N – длина БПФ. Каждая стадия содержит два примитива с задержкой обратной связи (SDF). На рис. 1 представлена структура примитива SDF.

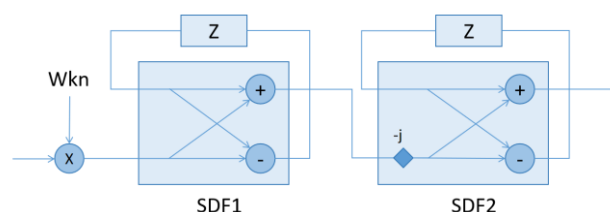


Рис. 1.

При необходимости доступно округление и масштабирование на каждой операции типа «бабочка».

IP-ядро FFTex-IP позволяет изменять тип преобразования с БПФ на ОБПФ и обратно без переконфигурации ядра.

Сигналы управления и временные диаграммы

Выполнение операций алгоритма начинается после установки сигнала `valid_in` в значение логической «1». Полезные выходные данные появляются после установки `valid_out` в значение логической «1». Управляющий порт `fft_len` определяет размер БПФ/ОБПФ-преобразования для текущего кадра. Предусмотрен порт сброса состояния IP-ядра FFTex-IP – `reset`, по сигналу от которого происходит общий сброс всех регистров внутри блока.

При использовании блока в составе OFDM-демодулятора предполагается наличие контроллера входных и выходных данных, который должен формировать данные в соответствии с требуемым количеством ресурсных блоков NRB и частотой дискретизации входных данных. На рис. 2 представлены временные диаграммы сигналов на входе и выходе IP-ядра FFTex-IP, работающего в составе OFDM-демодулятора с параметрами: $\text{fft_len} = 4$ (100 ресурсных блоков), $f_s = 30.72$ МГц.

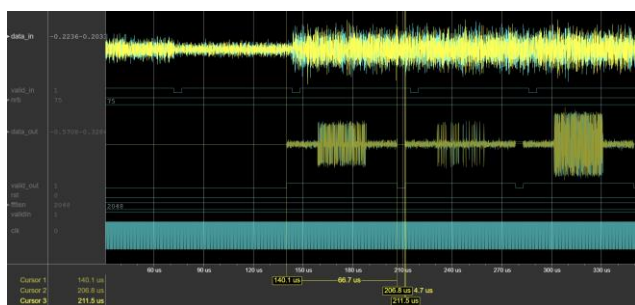


Рис. 2

На данной временной диаграмме можно увидеть, что длительность выходного валидного OFDM-блока как раз соответствует длительности кадра LTE (TS 36.212) – 66,7 мкс.

На рис. 3 представлены временные диаграммы сигналов на входе и выходе IP-ядра FFTex-IP, работающего в составе OFDM-демодулятора с параметрами: $\text{nrb} = 0$ (6 ресурсных блоков), $f_s = 30.72$ МГц.

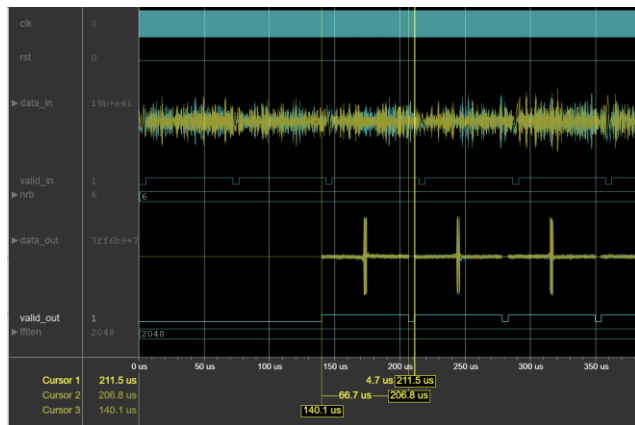


Рис. 3.

На данной временной диаграмме можно увидеть, что длительность полезных данных уменьшилась и соответствует количеству используемых ресурсных блоков.

Технические характеристики FFTex-IP

- Архитектура – Streaming Radix-4
- Максимальная тактовая частота работы ядра – 460 МГц (Xilinx Zynq7100/ Zynq7045/Kintex-7)
- Максимальное значение длины БПФ – 2048
- Минимальное значение длины БПФ – 128
- Поддержка конфигурации количества ресурсных блоков для LTE (TS 36.212)
 - 6, 15, 25, 50, 100
- LUT – 4749
- DSP – 18
- FF – 11831
- RAMB36E1 – 21

Тестирование и симуляция

Для тестирования и симуляции IP-ядра FFTex-IP возможна поставка завершённого тестового окружения, реализованного с помощью языков описания Verilog/VHDL с привязкой к конкретному типу симулятора: Mentor Graphics ModelSim/Cadence Incisive/Xilinx Vivado Simulator.

Интеграция

IP-ядро FFTех-IP от ЦИТМ Экспонента всегда доступно для целевых платформ FPGA и СБИС. Для специальных применений возможно использование IP-ядра FFTех-IP в составе специализированных СнК. Интеграция IP-ядра FFTех-IP в текущие или будущие проекты в соответствии с требованиями и пожеланиями заказчика возможна силами специалистов ЦИТМ Экспонента.

Чтобы обсудить ваши конкретные требования к внедрению, пожалуйста, свяжитесь с ЦИТМ Экспонента +7 (495) 009 65 85 | info@exponenta.ru | www.exponenta.ru

PC-CFRex-IP

Снижение пик-фактора сигнала

Современные стандарты радиосвязи 4G(LTE/LTE-A)/5G, используют OFDM-сигналы, что даёт им высокую спектральную эффективность. Однако у такого вида сигналов очень высокий уровень пик-фактора ($PAPR > 10$ дБ), т.е. отношение пиковой мощности сигнала к средней мощности сигнала. На Рис.1 представлена комплементарная кумулятивная функция распределения вероятностей для OFDM сигнала с количеством поднесущих равным 2048 и модуляцией 256-QAM.

Высокий уровень пик-фактора приводит к снижению КПД усилителей мощности на выходе радиопередающих устройств, так как большую часть времени излучается сравнительно небольшая мощность сигнала. Кроме того, существенно снижается эффективность систем ввода цифровых предуслаживаний(DPD) для сигналов с высоким пик-фактором, так как основную часть времени, сигнал находится в линейной зоне работы усилителя мощности.

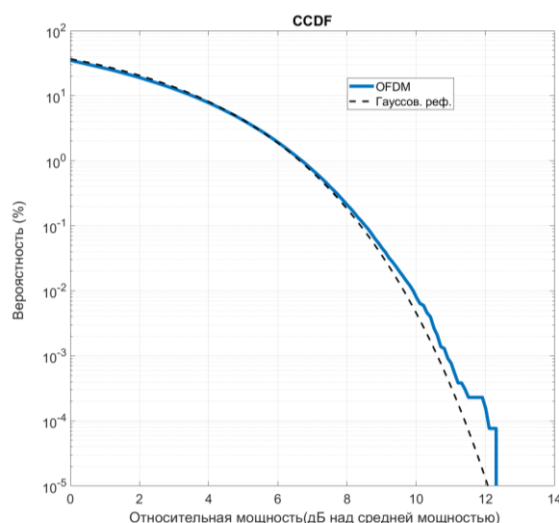


Рис.1

Всё это приводит к тому, что для эффективной передачи сигналов стандартов 4G(LTE/LTE-A)/5G требуются усилители высокой мощности и линейности, что приводит к удорожанию оборудования, увеличению массы и габаритов систем связи.

Для решения проблем систем радиосвязи, связанных с высоким уровнем пик-фактора сигнала компания ЦИТМ «Экспонента» разработала технологии и методы снижения пик-фактора сигнала, применимые для современных стандартов связи, включая 4G(LTE/LTE-A)/5G технологии. Основная идея в снижении пик-фактора - это уменьшение пиковой мощности сигнала. В разное время были представлены различные методы снижения пик-фактора: оконные функции(peak windowing), жёсткое клипирование(hard clipping), сигнало-зависимые алгоритмы(tone reservation, active constellation extension). Развитием стал, один из наиболее прогрессивных методов - Peak cancellation crest factor reduction (PC-CFR). Данный метод имеет один из лучших показателей по снижению пик-фактора, при этом использует существенно меньшие вычислительные ресурсы в сравнении с другими методами.

В течении нескольких лет компания ЦИТМ «Экспонента» ведёт исследование и разработку систем снижения пик-фактора, основанных на прогрессивном методе PC-CFR. И в настоящее время готова представить IP-ядро собственной разработки PC-CFRex-IP, предназначенное для снижения пик-фактора сигнала стандартных (4G(LTE/LTE-A)/5G и др.) и нестандартных систем связи(custom OFDM). Уникальность данного IP-ядра в том, что его архитектура не привязана к какому-либо стандарту и является гибкой и конфигурируемой в режиме «онлайн» не требуя переконфигурации проектов.

Описание PC-CFRex-IP

IP-ядро PC-CFRex-IP предназначено для снижения пик-фактора сигнала. Архитектура IP-ядра PC-CFRex-IP не привязана к конкретному производителю ПЛИС/СБИС, что повышает гибкость и независимость, разрабатываемых систем радиосвязи. IP-ядро PC-CFRex-IP (ЦИТМ «Экспонента») и IP-ядро DPDex-IP (ЦИТМ «Экспонента») полностью совместимы и составляют готовое DFE-решение (Digital Front-End) для современных систем связи.

На Рис.2 представлена комплементарная кумулятивная функция распределения вероятностей для OFDM сигнала и для OFDM сигнала с использованием IP-ядра PC-CFRex-IP.

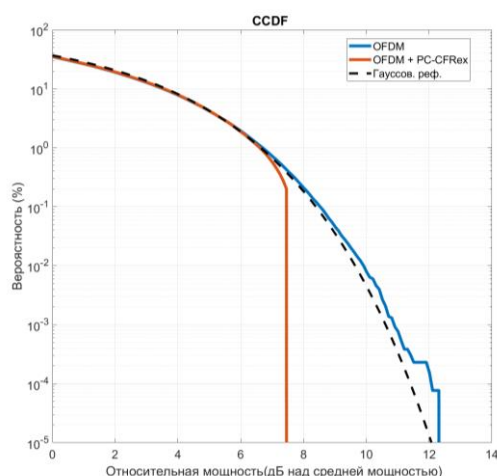


Рис.2

Как видно из графика, эффективное снижение пик-фактора при использовании IP-ядра PC-CFRex-IP более чем на 4.0 дБ ($PAPR=7.7$ дБ/ $EVM_{rms} = 3.0\%$).

Снижение пик-фактора осуществляется за счёт использования специальных коэффициентов импульсных характеристик - peak cancellations. Загрузка коэффициентов осуществляется через стандартный интерфейс AXI-4Lite. Максимальная скорость загрузки ограничена только производительностью

интерфейса AXI-4Lite. Для расчёта коэффициентов используется специализированное ПО, поставляемое вместе с IP-ядром PC-CFRex-IP.

IP-ядро PC-CFRex-IP спроектировано таким образом, что позволяет снижать пик-фактор сигнала, при этом не допуская существенного расширения спектра сигнала. Это достигается за счёт методики расчёта коэффициентов импульсных характеристик (peak cancellations) и многокаскадной архитектуры, которая итеративно снижает пик-фактор сигнала.

На Рис.3 представлены спектры OFDM сигнала шириной полосы частот 50 МГц с использованием и без использования IP-ядра PC-CFRex-IP.

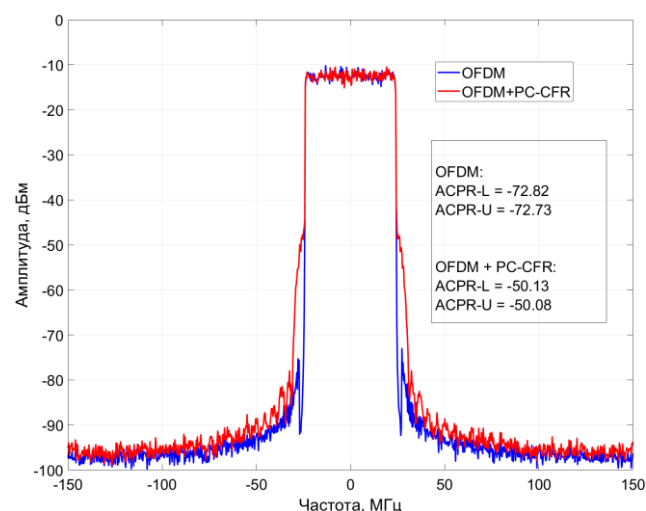


Рис.3

Другим немаловажным показателем эффективности работы IP-ядра PC-CFRex-IP является низкий уровень вносимых искажений. Значение EVM_{rms} при использовании PC-CFRex-IP для OFDM с модуляциями 256-QAM/64-QAM находится в пределах 3.2% при эффективном $PAPR=7.7$ дБ. В таблице 1 представлено сравнение с аналогичными решениями от других производителей. Информация взята из открытых источников.

Таблица 1.

Производитель	Lattice Semi	Altera	Xilinx	Texas Instr	Systems 4Silicon	ЦИТМ Экспонента
Тип сигнала	LTE 20 MHZ	LTE 20 MHZ	LTE 20 MHZ	LTE 20 MHZ	LTE 20 MHZ	LTE 20 MHZ
PAPR w/CFR, дБ	7.3	6.5	7.5	8	7	7.6
EVM, %	3.7	13.8	4	-	5	3.2
Тип CFR	non-data-aided	non-data-aided	non-data-aided	non-data-aided	non-data-aided	non-data-aided

Также IP-ядро PC-CFRex-IP содержит встроенный аппаратный «hard clipper», который позволяет осуществлять сжатие динамического диапазона без учёта расширения спектра.

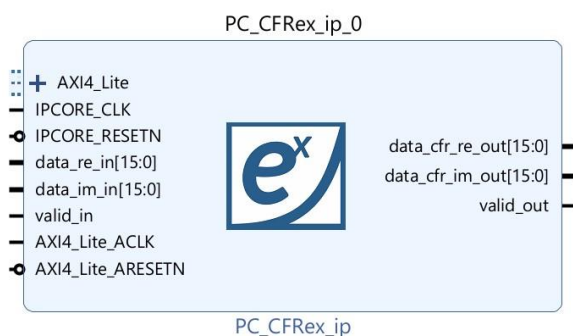


Рис.4

Технические характеристики PC-CFRex-IP

- Архитектура – Non data aided (Peak cancellation+Hard clipper)
- Макс. эффективная полоса входного сигнала – **80 МГц** (при макс. тактовой частоте 400 МГц)
- Макс. тактовая частота работы ядра – **400 МГц** (Xilinx Zynq7100/ Zynq7045/Kintex-7)
- Макс. кол-во стадий обработки - 3
- LUT – **10960**
- DSP – **11**

- FF – **14074**(в режиме 1 clk/sample при макс. тактовой частоте 400 МГц)
- Встроенный «hard clipper»
- Управление IP-ядром по AXI4-Lite
- «Онлайн» загрузка коэффициентов импульсных характеристик по AXI4-Lite

Интеграция

IP-ядро PC-CFRex-IP ЦИТМ Экспонента, всегда доступно для целевых платформ FPGA и СБИС. Для специальных применений возможно использование IP-ядра PC-CFRex-IP в составе специализированных СнК. Интеграция IP-ядра PC-CFRex-IP в текущие или будущие проекты возможна в соответствии с любыми требованиями и пожеланиями заказчика, силами специалистов ЦИТМ Экспонента.

Чтобы обсудить ваши конкретные требования к внедрению, пожалуйста, свяжитесь с ЦИТМ Экспонента +7 (495) 009 65 85 | info@exponenta.ru | www.exponenta.ru

OFDMex-IPv1.1

IP-ядро OFDMex-IP предназначено для работы в качестве OFDM-модулятора или OFDM-демодулятора в трактах цифровой обработки сигналов различных систем связи. Данная версия IP-ядра имеет повышенное быстродействие благодаря использованию новой реализации высокопроизводительного потокового алгоритма FFT.

Применение:

- Системы связи с OFDM-модуляцией: IP-ядро идеально подходит для приемопередающих устройств, использующих технологию OFDM в сочетании с различными стандартами связи.
- Оборудование для систем цифрового телевидения DVB.
- Системы беспроводного доступа Wi-Fi (IEEE 802.11a/n/ac/ax/be).
- Базовые станции 4G/LTE/5G NR: IP-ядро используется для обработки сигналов в базовых станциях мобильной связи, обеспечивая высокую производительность и гибкость конфигурации.

Архитектура

IP-ядро OFDMex-IP предоставляет пользователю возможность конфигурации с целью выбора режима работы и максимальной длины FFT. Последнее позволяет в случае необходимости оптимизировать используемые ресурсы FPGA. При конфигурации доступен выбор режима работы OFDM-модулятор или OFDM-демодулятор. Максимальная длина FFT может быть установлена из ряда: 64, 128, 256, 512, 1024, 2048.

На рис. 1 показаны структурные схемы ядра в режиме модулятора и демодулятора.

При работе в режиме модулятора IP-ядро принимает на вход комплексные отсчеты, формирующие спектр OFDM-символа. Полный спектр формируется с помощью формирователя OFDM-символа (Symbol formation) с учетом требуемого размера защитных интервалов. Далее с помощью повторителя (Sample repeater) в случае, если длина FFT меньше максимальной длины, формируется полный набор отсчетов для обратного преобразования Фурье (IFFT). Поскольку входные данные модулятора представлены как симметричный спектр, спектр сигнала на выходе IFFT смещается на половину частоты дискретизации. После этого к OFDM-символу во временной области добавляется циклический префикс требуемой длины. В случае использования оконной обработки в конце также добавляется суффикс с длиной, равной длине окна. Кроме того, в начале префикса и для суффикса применяется умножение на оконную функцию (Windowing). В выходной последовательности префикс перекрывается с суффиксом предыдущего символа.

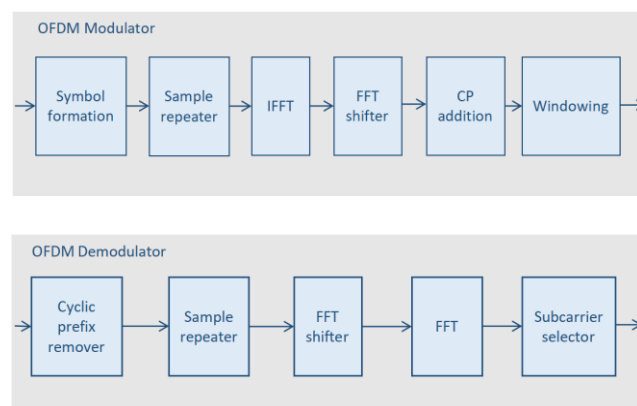


Рис. 1.

При работе в режиме демодулятора IP-ядро принимает на входе OFDM-символы во временной области. При этом сначала происходит удаление циклического префикса. Далее, если длина символа меньше максимального размера FFT, с помощью периодического повторения формируется последовательность длины, необходимой для FFT. Так как отсчеты на выходе демодулятора интерпретируются как симметричный

спектр, перед FFT во временной области спектр сигнала смещается на половину частоты дискретизации. После выполнения преобразования Фурье из спектра выделяются необходимые компоненты и подаются на выход.

Сигналы управления и временные диаграммы

Обработка поступающих на входные порты данных начинается после установки сигнала `valid_in` в значение логической «1». Полезные выходные данные появляются после установки `valid_out` в значение логической «1». Управляющий порт `fft_mode` определяет размер FFT/IFFT преобразования для текущего OFDM-символа. Номер режима выбирается из ряда: 0, 1, 2, 3, 4, 5, что соответствует длине FFT 64, 128, 256, 512, 1024, 2048 соответственно. С помощью портов `cp_len`, `left_guard`, `right_guard` задаются соответственно длина циклического префикса, размер левого и правого защитного интервала. Порт `dc_null` в режиме модулятора используется для установки режима автоматической вставки отсчёта нулевой постоянной составляющей. В режиме демодулятора порт `dc_null` используется для установки режима удаления отсчёта постоянной составляющей из выходных данных. В режиме модулятора существует дополнительный порт `win_len` для установки длины окна при оконной обработке. Максимальная длина окна – `win_len` = 32 отсчёта. При установке длины `win_len` = 0 оконная обработка не выполняется. Также предусмотрен порт сброса состояния IP-ядра OFDMex-IP – `prg_rst`, по сигналу от которого происходит общий сброс всех регистров внутри блока.

На рис. 2 показан пример дизайна системы с использованием IP-ядер OFDMex-IP. При конфигурации ядер пользователю необходимо указать режим работы ядра и максимальную длину FFT (рис. 3)

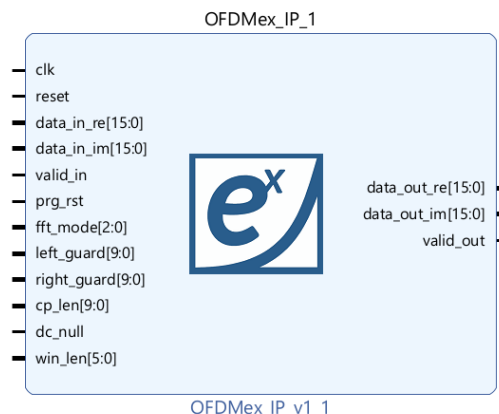


Рис. 2.

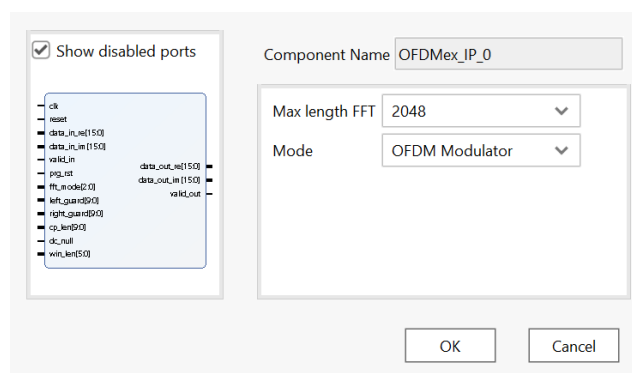


Рис. 3.

Обработка данных в ядре OFDMex-IP имеет высокую степень конвейеризации. Задержка данных между входом и выходом зависит от конфигурации и значений текущих параметров. Запуск цикла обработки OFDM-символа происходит после того, как на вход ядра поступят все данные, необходимые для формирования или демодуляции.

На рис. 4 показан пример временных диаграммы работы модулятора. На вход модулятора непрерывно поступают данные для последовательного формирования четырех OFDM-символов. Как видно, данные на выходе появляются с задержкой, обусловленной конвейерной обработкой.

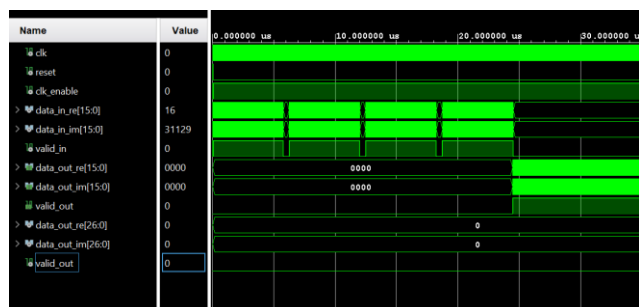


Рис. 4

Аналогичным образом выглядят временные диаграммы работы в режиме демодулятора (Рис. 5).

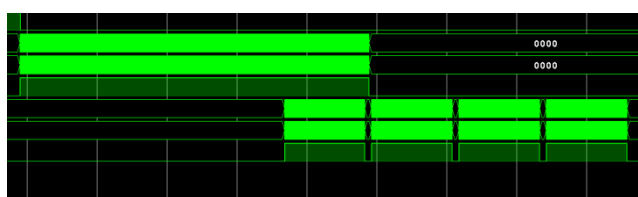


Рис. 5.

Совместимость со стандартом LTE

IP-ядро OFDMex-IP может быть использовано в системах связи стандарта LTE с количеством ресурсных блоков (NDLRB): 6, 15, 25, 50, 100. Для этого необходимо сконфигурировать ядро на максимальную длину FFT 2048 и обеспечить подачу на входные порты соответствующих параметров исходя из стандарта. Например, для NDLRB = 50 в режиме extended CP следует установить параметры: $\text{fft_mode} = 4$, $\text{dc_null} = 1$, $\text{cp_len} = 256$, $\text{left_guard} = 212$, $\text{right_guard} = 211$.

Технические характеристики OFDMex-IP

- Режимы работы:
 - OFDM-модулятор
 - OFDM-демодулятор
- Максимальное значение длины FFT, устанавливаемое при конфигурации - 64, 128, 256, 512, 1024, 2048
- Значение длины FFT, устанавливаемое через порт, - 64, 128, 256, 512, 1024, 2048 ($\text{fft_len} \leq \text{FFTmax}$)

- Максимальная длина окна при оконной обработке в модуляторе - 32 (по стандарту IEEE 802.11g)

Следующие параметры IP-ядра зависят от конкретной конфигурации. Для справки приведены некоторые значения.

Модулятор, FFTmax = 64

- Максимальная тактовая частота работы ядра - 405 МГц (Xilinx Zynq7100-2)
- LUT - 3074
- DSP - 10
- FF - 7124
- RAMB36E1 - 1.5

Модулятор, FFTmax = 2048

- Максимальная тактовая частота работы ядра - 405 МГц (Xilinx Zynq7100-2)
- LUT - 4684
- DSP - 19
- FF - 11526
- RAMB36E1 - 19

Демодулятор, FFTmax = 64

- Максимальная тактовая частота работы ядра - 410 МГц (Xilinx Zynq7100-2)
- LUT - 3119
- DSP - 6
- FF - 6542
- RAMB36E1 - 0.5

Демодулятор, FFTmax = 2048

- Максимальная тактовая частота работы ядра - 409 МГц (Xilinx Zynq7100-2)
- LUT - 5860
- DSP - 18
- FF - 12689
- RAMB36E1 - 19

Тестирование и симуляция

Для тестирования и симуляции IP-ядра OFDMex-IP возможна поставка завершеного тестового окружения, реализованного с помощью языков описания Verilog/VHDL с привязкой к конкретному типу симулятора: Mentor Graphics ModelSim/Cadence Incisive/Xilinx Vivado Simulator.

Интеграция

IP-ядро OFDMex-IP ЦИТМ «Экспонента» всегда доступно для целевых платформ FPGA и СБИС. При наличии специфических требований возможно рассмотрение доработки ядра. Для специальных применений возможно использование IP-ядра OFDMex-IP в составе специализированных СнК.

Специалисты ЦИТМ «Экспонента» помогут интегрировать IP-ядро OFDMex-IP в текущие или будущие проекты и учтут любые требования и пожелания заказчика.

Чтобы обсудить ваши конкретные требования к внедрению, пожалуйста, свяжитесь с ЦИТМ «Экспонента» +7 (495) 009 65 85 | info@exponenta.ru | www.exponenta.ru

VITERBIex-IP v.1.1

Сверточное декодирование Витерби

В современных системах связи критически важна надёжная передача данных с возможностью восстановления информации при наличии помех и искажений. Это позволяет минимизировать количество повторных передач, обусловленных ошибками, что, в свою очередь, способствует увеличению эффективности и пропускной способности канала связи. Одним из широко применяемых методов для обеспечения коррекции ошибок является сверточное кодирование. Сверточный кодер совместно с декодером Витерби реализует механизм коррекции ошибок, основанный на добавлении избыточности и использовании алгоритма максимального правдоподобия.

Сверточный кодер преобразует входную битовую последовательность, добавляя к ней избыточные биты в соответствии с заданной структурой. При этом применяется определённая скорость кодирования — в данном случае $1/2$, что означает генерацию двух выходных битов на каждый входной бит.

Декодирование осуществляется алгоритмом Витерби, который на основе принципа максимального правдоподобия восстанавливает наиболее вероятную исходную последовательность битов, компенсируя влияние ошибок, возникших в канале передачи.

Описание

IP-ядро **VITERBIex-IP**, разработанное компанией ЦИТМ «Экспонента», предназначено для обеспечения контроля целостности и коррекции ошибок в системах цифро-

вой радиосвязи. Архитектура ядра представляет собой высокопроизводительный декодер Витерби, ориентированный на применение в современных телекоммуникационных стандартах, включая **DVB, 3GPP LTE, 3GPP2, IEEE 802.11a/n/ac/ax/be, IEEE 802.16**. Ключевым преимуществом решения является аппаратная независимость: Архитектура IP-ядра не привязана к конкретному производителю ПЛИС/СБИС, что повышает гибкость и независимость, разрабатываемых систем радиосвязи.

На **Рис.1** представлена зависимость вероятности битовой ошибки (BER) от отношения энергии бита к спектральной плотности мощности шума (E_b/N_0) при использовании IP-ядра **VITERBIex-IP**, а также приведено сравнение с аналогичными решениями сторонних производителей.

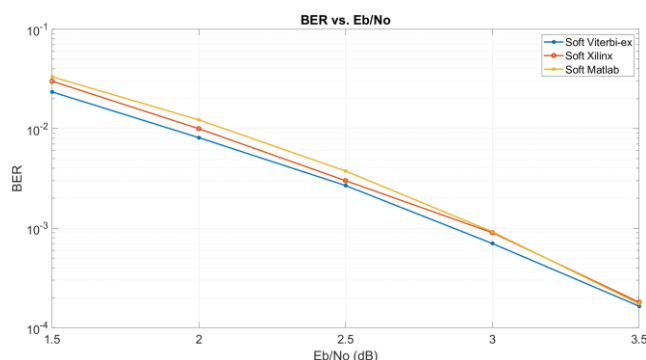


Рис.1

Как видно из графика, IP-ядро **VITERBIex-IP** демонстрирует более низкий уровень BER по сравнению с аналогами при идентичных условиях моделирования, что указывает на его высокую эффективность в условиях зашумленных каналов.

Высокая пропускная способность достигается благодаря архитектурным улучшениям в механизме хранения и отбора выживших путей, а также оптимизации логики трассировки обратного пути, что позволяет обеспечить высокую скорость работы.

В таблице 1 представлено сравнение с аналогичными решениями от других производителей. Информация взята из открытых источников: AMD Kintex-7 xc7k70/ AMD Zynq®-7000 ZC706/AMD Kintex-7 xc7k70

Таблица 1.

Производитель	Xilinx	MathWorks	ЦИТМ Экспонента
LUT	2210	3861	2289
FF	1719	2521	2105
36k BRAMs	2	1	2
Fmax, МГц	281	260	290

IP-ядро **VITERBIex-IP** также включает встроенный механизм **нормализации метрик**, предназначенный для предотвращения переполнения путевых метрик, что актуально при работе в условиях низкого отношения сигнал/шум.

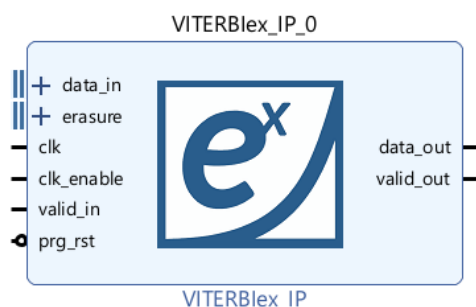


Рис.2

Для повышения эффективности использования аппаратных ресурсов и улучшения корректирующей способности, архитектура IP-ядра поддерживает широкие возможности параметризации: длина обратной трассировки, разрядность мягких решений на входе, число игнорируемых бит при поиске минимального элемента

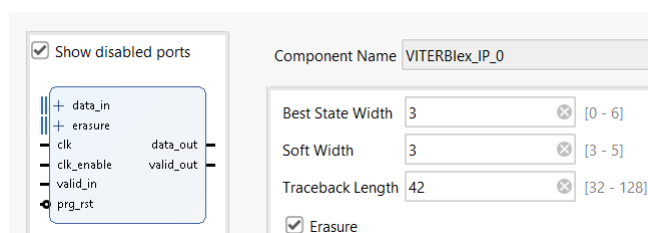


Рис.3

Технические характеристики VITERBIex-IP

- Архитектура: Мягкое декодирование с параметризируемой длиной входных данных (от 3 до 5 бит)
- Кодовая скорость 1/2, длина кодового ограничения K=7
- Нормализация метрик
- Выкалывание символов
- Полная совместимость со стандартами: DVB, 3GPP LTE, 3GPP2, IEEE 802.11a/n/ac/ax/be, IEEE 802.16
- Поддержка пользовательского ввода глубины памяти (traceback length)
- Пользовательская настройка выбора лучшего состояния для декодирования
- Полином генератора g1=171, g2=133
- Задержка $\approx 4 \cdot \text{traceback_length} + 45$
- Макс. тактовая частота работы ядра – 290 МГц Kintex-7 xc7k70
- LUT – 2289
- FF – 2105
- BRAM - 2

Интеграция

IP-ядро VITERBIex-IP ЦИТМ Экспонента, всегда доступно для целевых платформ FPGA и СБИС. Для специальных применений возможно использование IP-ядра в составе специализированных СнК. Интеграция IP-ядра VITERBIex-IP в текущие или будущие проекты возможна в соответствии с любыми требованиями и пожеланиями заказчика, силами специалистов ЦИТМ Экспонента.

Чтобы обсудить ваши конкретные требования к внедрению, пожалуйста, свяжитесь с ЦИТМ Экспонента

+7 (495) 009 65 85
info@exponenta.ru
www.exponenta.ru

DVB-S2/T2 FEC ENCODERex-IP v.1.0

DVB-S2/T2 FEC ENCODER

Системы спутниковой связи требуют постоянного совершенствования. Это связано с тем, что передача информации с помощью спутниковой связи осложняется наличием шумов, интерференции, замираниями сигнала. Из-за этих негативных воздействий данные подвержены искажению без возможности их восстановления.

Для обеспечения целостной передачи данных в системах спутниковой связи используются методы канального кодирования – коды с малой плотностью проверок на чётность (LDPC) и коды БЧХ (BCH), которые вносят избыточность данных для восстановления данных, переданных с ошибкой.

LDPC эффективно корректирует ошибки, вызванные шумами в канале передачи, а BCH за счет алгебраической структуры исправляет остаточные единичные ошибки. Благодаря совместному применению LDPC и BCH обеспечивается безошибочная работа системы на уровне примерно от 0,7 дБ до 1 дБ от предела Шеннона.

Совместное использование этих методов кодирования было предложено во многих стандартах: DVB-S2, DVB-T2, CCSDS 231.0-B-3. В системах, работающих по стандарту DVB-S2/T2 (рис. 1 и рис. 2), предусмотрено адаптивное кодирование, скорость которого может меняться в зависимости от уровня шумов в канале.

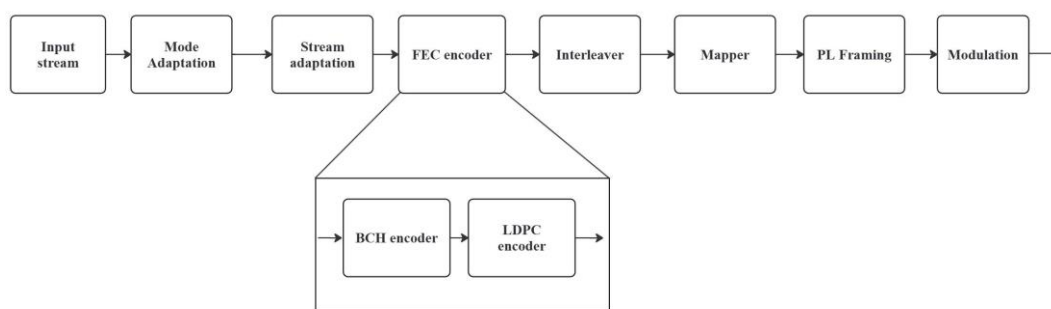


Рис. 1. Структурная схема системы DVB-S2.

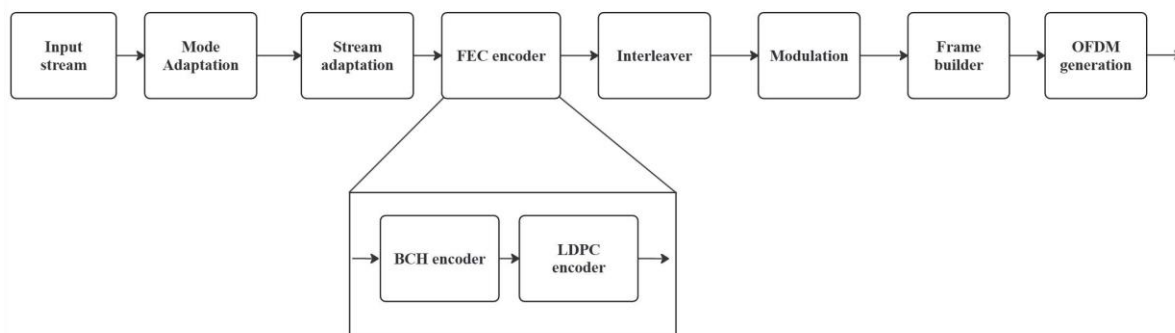


Рис. 2] Структурная схема системы DVB-T2.

ОПИСАНИЕ

IP-ядро DVB-S2/T2 FEC ENCODERex-IP предназначено для обеспечения целостной передачи данных в системах спутниковой связи. Компания ЦИТМ «Экспонента» разработала архитектуру высокоскоростного кодера, полностью соответствующую современным стандартам связи DVB-S2 и DVB-T2.

Архитектура IP-ядра не привязана к конкретному производителю ПЛИС/СБИС, что повышает гибкость и независимость, разрабатываемых систем радиосвязи.

Высокоскоростное кодирование осуществляется за счет схемы параллельного кодирования. В блоке BCH реализован параллелизм на 8 бит, а в блоке LDPC – на 360 бит. Благодаря архитектуре параллельного кодирования данных IP-ядро DVB-S2/T2 FEC ENCODERex-IP оптимизировано для достижения максимальной пропускной способности до 3 Гбит/с, с учетом вывода проверочных битов в правильном порядке.

Одна из особенностей IP-ядра – это изменение кодовой скорости «на лету» в диапазоне от 1/4 до 9/10 в соответствии со стандартами DVB-S2 и DVB-T2, переключение которой осуществляется после завершения этапа кодирования блока длины 64800 бит (Normal FECFRAME).

Функционал IP-ядра и его полное соответствие стандартам позволяет быстро и гибко встраивать его в архитектуру системы связи, представленной на рис.1 и рис.2.

IP-ядро взаимодействует с внешними блоками по процедуре handshake протокола AXI4-Stream для обеспечения целостной передачи данных между блоками.

Таблица 1. Пропускная способность для AMD Zynq xc7z100ffg1156-2/ AMD Ultrascale+ xczu15eg ffvb1156-2-i

Кодовая скорость	Пропускная способность, Мбит/с
1/4	450/827
1/3	602/1106
2/5	724/1330
1/2	907/1665
3/5	1089/2000
2/3	1212/2225
3/4	1363/2502
4/5	1454/2670
5/6	1516/2783
8/9	1618/2971
9/10	1638/3008

В таблице 2 представлены аппаратные ресурсы для AMD Zynq xc7z100ffg1156-2/ AMD Ultrascale+ xczu15eg ffvb1156-2-i

Таблица 2.

Аппаратные ресурсы FPGA	Количество ресурсов
LUT	23445 / 23935
FF	30955 / 30766
BRAM	23.5 / 23.5
Fmax, МГц	365 / 670



Рис. 3.

Технические характеристики DVB-S2/T2 FEC ENCODERex

- Полное соответствие стандартам ETSI EN 302 307 V1.4.1 (2014-07) (DVB-S2) и ETSI EN 302 755 v1.4.1 (2015-07) (DVB-T2)
- Поддержка кадров нормальной длины (Normal FECFRAME, 64800 бит)
- Поддержка кодовых скоростей от 1/4 до 9/10
- **Формирование проверочных битов в правильном порядке**
- Возможность изменения кодовых скоростей от кадра к кадру
- Высокая пропускная способность
- Работа IP-ядра по принципу AXI4-Stream для удобного встраивания в ваш проект
- Задержка 213 тактов

Интеграция

Дополнительно к IP-ядру может быть поставлен высокоскоростной Interleaver и Scrambler в соответствии со стандартом DVB-S2. IP-ядро DVB-S2/T2 FEC ENCODERex-IP от ЦИТМ «Экспонента» всегда доступно для целевых платформ FPGA и СБИС.

Для специальных применений возможно использование IP-ядра DVB-S2/T2 FEC ENCODERex-IP в составе специализированных СнК.

Специалисты ЦИТМ «Экспонента» помогут с интеграцией данного IP-ядра в ваши текущие или будущие проекты в соответствии с любыми требованиями и пожеланиями.

Чтобы обсудить конкретные требования к внедрению IP-ядра в вашу систему связи, пожалуйста, свяжитесь с ЦИТМ «Экспонента».

+7 (495) 009 65 85
info@exponenta.ru
www.exponenta.ru