

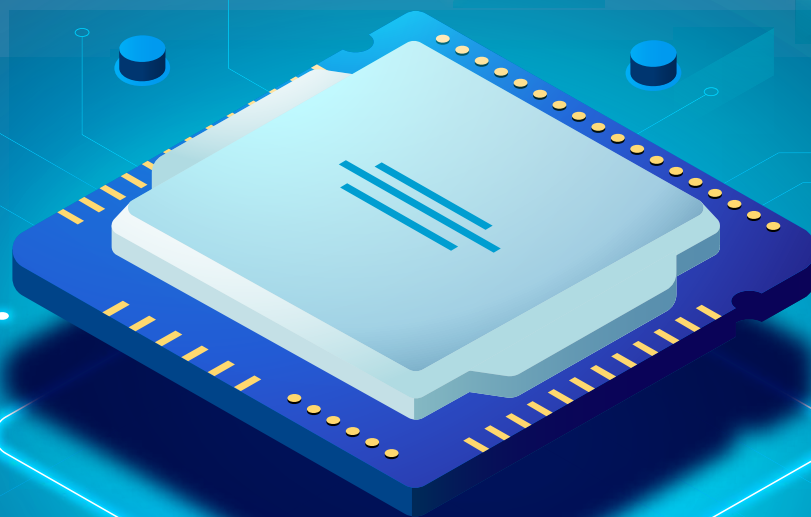


ЭКСПОНЕНТА
ЦЕНТР ИНЖЕНЕРНЫХ ТЕХНОЛОГИЙ
И МОДЕЛИРОВАНИЯ



КАТАЛОГ

Программные IP-блоки



Цифровые предискажения сигнала

Современные и проектируемые системы радиосвязи (3G/4G/5G, LTE/LTE-A, Wi-Fi 802.11n/ac/ax), предназначенные для передачи больших объёмов информации, предполагают использование каналов с высокой спектральной эффективностью (бит/(с×Гц)). В свою очередь высокая спектральная эффективность, как правило, приводит к высокому уровню пик-фактора формируемого сигнала ($PAPR > 3$ дБ). Всё это накладывает жёсткие требования к линейности радиопередающего тракта (ACPR, ACLR, EVM), что приводит к увеличению стоимости, габаритов и одновременно к снижению КПД всей системы радиосвязи.

На рисунке 1 представлена типовая нелинейная передаточная характеристика (AM-AM).

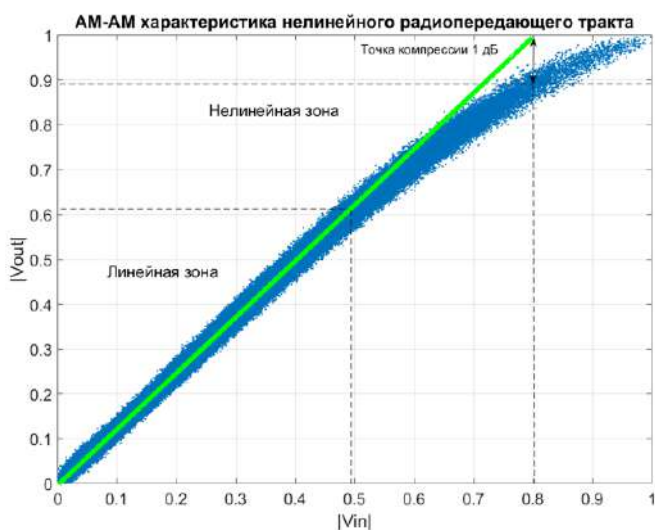


Рисунок 1

Для решения проблемы линейности радиопередающего тракта и одновременно сохранению энергетических характеристик системы радиосвязи наиболее оптимальным является использование цифровых предискажений формируемого сигнала (DPD).

На рисунке 2 представлен принцип действия DPD применительно к нелинейной передаточной характеристике (AM-AM).

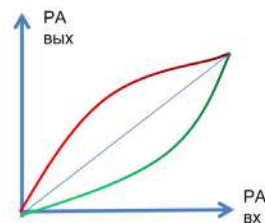


Рисунок 2

В течении последних нескольких лет компания ЦИТМ «Экспонента» ведёт исследование и разработку систем ввода цифровых предискажений DPD. На рисунке 3 представлен стенд измерения и отладки алгоритмов ЦОС для разработки систем связи с использованием DPD.

Разработка алгоритмов DPD довольно сложная задача, требующая большого количества времени и ресурсов, при этом конечный результат может потребовать значительных вычислительных ресурсов от целевой платформы.



Рисунок 3

Для снижения потенциальных затрат и потерь разработчиков систем связи компания ЦИТМ «Экспонента» предлагает IP-ядро собственной разработки DPDex-IP, предназначенное для линейаризации радиопередающего тракта современных систем радиосвязи.

Описание

IP-ядро DPDex-IP предназначено для непосредственного ввода цифровых предискажений в формируемый сигнал. Архитектура IP-ядра DPDex-IP не привязана к конкретному производителю ПЛИС/СБИС, что повышает гибкость и независимость, разрабатываемых систем радиосвязи.

Предискажение входного сигнала осуществляется в соответствии с загружаемыми коэффициентами. Загрузка коэффициентов возможна через базовый «нативный» порт, а также через стандартный интерфейс AXI-4Light. Таким образом, IP-ядро DPDex-IP способно работать с системами адаптации, работающими в режиме постоянного обновления коэффициентов (расчёт ведётся на ПЛИС/СБИС) и с системами адаптации, предусматривающими периодическое обновление коэффициентов с помощью софт-процессора (например: ARM/Nios/Microblaze/RISC-V). IP-ядро DPDex-IP имеет встроенную цепь обхода DPD, т.е. позволяет оперативно включать и выключать ввод предискажений.

Дополнительно, IP-ядро DPDex-IP осуществляет вычисление модуля сигнала для прямого и обратного каналов, что позволяет контролировать уровень сигнала на выходе радиопередающего тракта. Кроме того, опционально, IP-ядро DPDex-IP может применять заранее рассчитанные коэффициенты, что удобно для тех систем, где нелинейные свойства радиопередающего тракта не изменяются со временем. Для масштабирования и задания необходимого уровня сигнала, может использоваться входной 18-битный умножитель.

Технические характеристики

- Архитектура – Memory Polynomial Advanced
- Максимальная полоса предискажаемого сигнала – 220 МГц
- Максимальная тактовая частота работы ядра – 450 МГц (Xilinx Zynq7100/ Zynq7045)
- Максимальное количество коэффициентов – 21

Ресурсы (P=5, M=5):

- LUT – 4682
- DSP – 57 (в режиме 1 clk/sample)/ 31 (в режиме 2 clk/sample) при максимальном количестве коэффициентов
- FF – 12645 (в режиме 1 clk/sample при максимальной тактовой частоте 450 МГц)

В IP-ядре DPDex-IP предусмотрена установка настроек из GUI Vivado:

- ENB BWD CHANNEL – включение/отключение блока расчёта модуля сигнала обратного канала.
- ENABLE COEFF NATIVE PORT - включение/отключение внешнего нативного порта ввода коэффициентов.
- ENB FWD CHANNEL OUT – включение/выключение.
- MEMORY – размер памяти для блока Memory Polynomial Advanced.
- ORDER – порядок полинома для блока Memory Polynomial Advanced (2 – эквивалентно полиному нечётного порядка третьей степени).

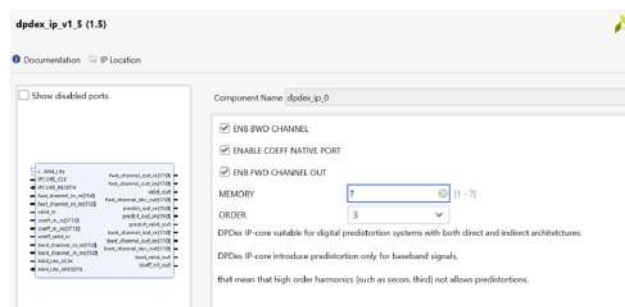


Рисунок 4

Таблица 5. Влияние памяти на общее количество коэффициентов

NUM OF COEFF	ORDER	MEMORY
3	3	1
6	3	2
9	3	3
12	3	4
15	3	5
18	3	6
21	3	7

Количество коэффициентов влияет на эффективность подавления нелинейных искажений и одновременно на сложность алгоритмов расчёта коэффициентов и быстродействие системы DPD в целом.

Производительность

IP-ядро DPDex-IP реализовано с учётом максимальных требований к быстродействию и производительности.

ЦИТМ «Экспонента» предлагает улучшенную реализацию архитектуры ввода цифровых предскажений – Memory Polynomial Advanced. Улучшения архитектуры коснулись быстродействия, точности вычислений, минимизации вычислительных ресурсов. Основным преимуществом IP-ядра DPDex-IP является возможность предсказания сверхширокополосных сигналов (до 220 МГц).

Степень подавления уровня помехи в соседнем канале (ACLR/ACPR) зависит от качества рассчитанных коэффициентов предсказания, нелинейных свойств усилителя мощности, полосы предскажаемого сигнала. Качество коэффициентов предсказания определяется алгоритмами расчёта/адаптации. Наилучших результатов позволяют добиться алгоритмы на основе RLS-методов.

Типовое значение подавления ACLR/ACPR лежит в диапазоне от 10 дБ до 25 дБ.

На рисунке 5 представлен спектр сигнала без предскажений и с использованием предскажений DPDex-IP.

С практической точки зрения наиболее важным является анализ такого параметра как EVM (error vector magnitude) – модуль вектора ошибки.

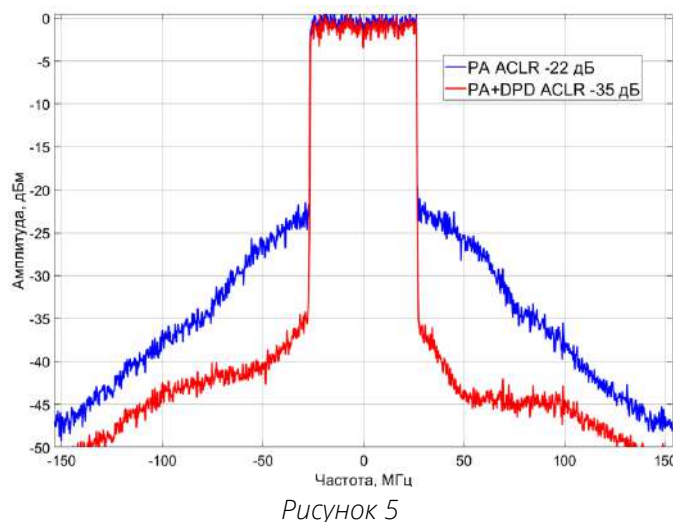


Рисунок 5

На рисунке 6 представлены созвездия сигналов формата QAM-256 без предскажений и с использованием предскажений DPDex-IP.

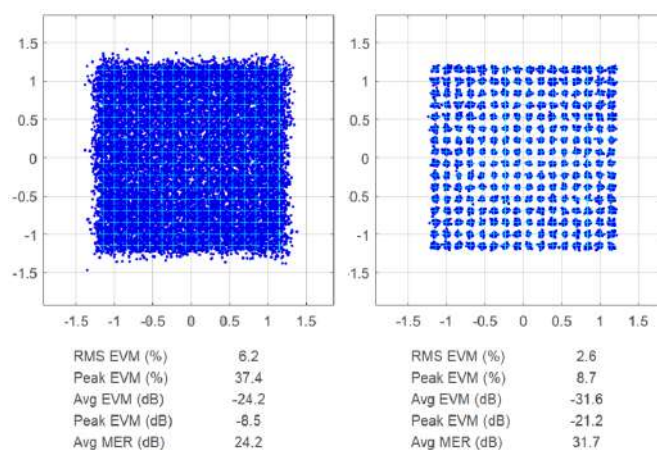


Рисунок 6

Очевидно, что использование IP-ядра DPDex-IP приводит к существенному повышению качества сигнала.

EVM сигнала улучшен на 3,6 % (более, чем в два раза).

IP-ядро DPDex-IP реализовано с учётом максимальных требований к быстродействию и производительности. ений DPDex-IP.

Интеграция

IP-ядро DPDex-IP ЦИТМ «Экспонента» всегда доступно для целевых платформ FPGA и СБИС. Для специальных применений возможно использование IP-ядра DPDex-IP в составе специализированных СнК.

Интеграция IP-ядра DPDex-IP в текущие или будущие проекты возможна в соответствии с любыми требованиями и пожеланиями заказчика. Специалисты ЦИТМ «Экспонента» помогут вам в решении этой задачи.

IP-ядро FFTex-IP предназначено для выполнения операций БПФ/ОБПФ различной длины над входными данными, представленными в виде квадратурных отсчётов комплексного сигнала.

Применение

- Базовые станции 3G/4G/LTE/5G NR: IP-ядро используется для обработки сигналов в базовых станциях мобильной связи, обеспечивая высокую производительность и гибкость конфигурации
- Системы связи с OFDM модуляцией: IP-ядро идеально подходит для OFDM модуляторов и демодуляторов, используемых в различных стандартах беспроводной связи.
- Радиолокационные системы: применение в радиолокационных системах для быстрой обработки отражённых сигналов и повышения точности детекции.
- Спутниковая связь и навигация: обеспечение высокопроизводительной обработки сигналов для систем спутниковой связи и навигации, таких как GPS и ГЛОНАСС

Архитектура

IP-ядро FFTex-IP реализовано на основе архитектуры Streaming Radix-4.

Streaming Radix-4 – архитектура потоковой обработки данных, обладает высокой производительностью и предназначена для использования в составе OFDM модуляторов стандартных (IEEE 802.11n/ac/ax, /LTE/LTE-A/5G NR) и специальных систем связи.

IP-ядро FFTex-IP можно использовать для демодуляции данных стандарта LTE (TS 36.212) с различным количеством ресурсных блоков: 6, 15, 25, 50, 100 - что соответствует частотам дискретизации: 1.92 МГц, 3.84 МГц, 7.68 МГц, 15.36 МГц, 30,72 МГц и полосам пропускания(BW) канала, соответственно: 1.4 МГц, 3 МГц, 5 МГц, 10 МГц, 20 МГц.

Архитектура Streaming Radix-4

Потоковая архитектура Radix-4 имеет минимальную задержку обработки сигнала. Данная архитектура отличается от стандартного решения Radix-2, основанного на перегруппировки и разделении БПФ/ОБПФ. Архитектура Radix-4 имеет $\log_4(N)$ стадий, N - длина БПФ. Каждая стадия содержит два примитива с задержкой обратной связи(SDF). На рисунке 1 представлена структура примитива SDF.

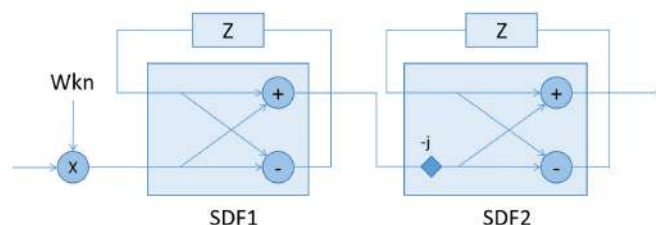


Рисунок 1

Опционально доступно округление и масштабирование на каждой операции типа «бабочка».

IP-ядро FFTex-IP позволяет изменять тип преобразования с БПФ на ОБПФ и обратно без переконфигурации ядра.

Сигналы управления и временные диаграммы

Выполнение операций алгоритма начинается после установки сигнала `valid_in` в значение логической «1». Полезные выходные данные появляются после установки `valid_out` в значение логической «1». Управляющий порт `fft_len` определяет размер БПФ/ОБПФ преобразования для текущего кадра, Предусмотрен порт сброса состояния IP-ядра FFTex-IP - `reset`, по сигналу от которого, происходит общий сброс всех регистров внутри блока.

При использовании блока в составе OFDM-демодулятора, предполагается наличие контроллера входных и выходных данных, который должен формировать данные в

соответствии с требуемым количеством ресурсных блоков NRB и частотой дискретизации входных данных. На рисунке 2 представлены временные диаграммы сигналов на входе и выходе IP-ядро FFTex-IP работающего в составе OFDM демодулятора с параметрами: $\text{fft_len} = 4$ (100 ресурсных блоков), $f_s = 30.72$ МГц.

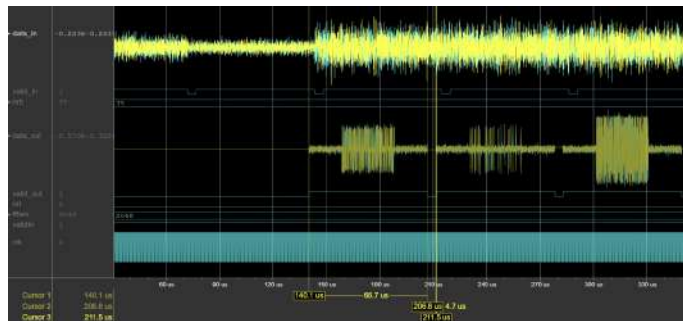


Рисунок 2

На данной временной диаграмме можно увидеть, что длительность выходного валидного OFDM-блока, как раз соответствует длительности кадра LTE (TS 36.212) – 66,7 мкс.

На рисунке 3 представлены временные диаграммы сигналов на входе и выходе IP-ядра FFTex-IP работающего в составе OFDM демодулятора с параметрами: $\text{nrb} = 0$ (6 ресурсных блоков), $f_s = 30.72$ МГц.

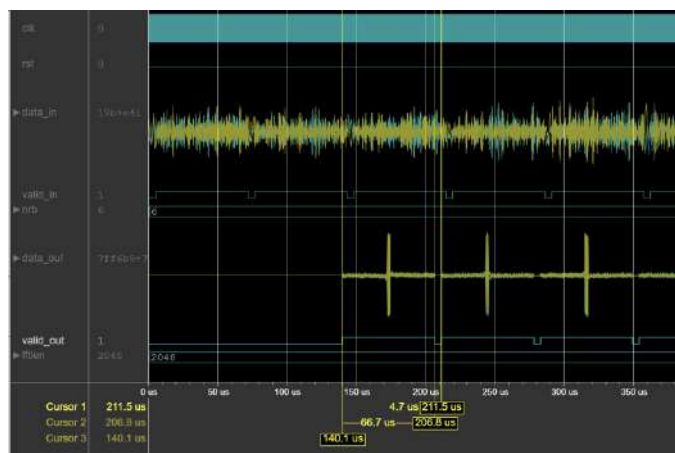


Рисунок 3

На данной временной диаграмме можно увидеть, что длительность полезных данных уменьшилась и соответствует количеству используемых ресурсных блоков.

Технические характеристики

- Архитектура о Streaming Radix-4
- Максимальная тактовая частота работы ядра – 460 МГц (Xilinx Zynq7100/ Zynq7045/ Kintex-7)
- Максимальное значение длины БПФ – 048
- Минимальное значение длины БПФ – 28
- Поддержка конфигурации количества ресурсных блоков для LTE (TS 36.212) о 6, 15, 25, 50, 100
- LUT – 4749
- DSP – 18
- FF – 11831
- RAMB36E1 – 21

Тестирование и симуляция

Для тестирования и симуляции IP-ядра FFTex-IP возможна поставка завершённого тестового окружения реализованного с помощью языков описания Verilog/VHDL с привязкой к конкретному типу симулятора: Mentor Graphics ModelSim/Cadence Incisive/ Xilinx Vivado Simulator.

Интеграция

IP-ядро FFTex-IP ЦИТМ «Экспонента», всегда доступно для целевых платформ FPGA и СБИС. Для специальных применений возможно использование IP-ядра FFTex-IP в составе специализированных СнК.

Интеграция IP-ядра в текущие или будущие проекты возможна в соответствии с любыми требованиями и пожеланиями заказчика. Специалисты ЦИТМ «Экспонента» помогут вам в решении этой задачи.

Снижение пик-фактора сигнала

Современные стандарты радиосвязи 4G (LTE/LTE-A)/5G, используют OFDM-сигналы, что даёт им высокую спектральную эффективность. Однако у такого вида сигналов очень высокий уровень пик-фактора ($PAPR > 10$ дБ), т.е. отношение пиковой мощности сигнала к средней мощности сигнала. На рисунке 1 представлена комплементарная кумулятивная функция распределения вероятностей для OFDM сигнала с количеством поднесущих равным 2048 и модуляцией 256-QAM.

Высокий уровень пик-фактора приводит к снижению КПД усилителей мощности на выходе радиопередающих устройств, так как большую часть времени излучается сравнительно небольшая мощность сигнала. Кроме того, существенно снижается эффективность систем ввода цифровых предсказаний (DPD) для сигналов с высоким пик-фактором, так как основную часть времени, сигнал находится в линейной зоне работы усилителя мощности.

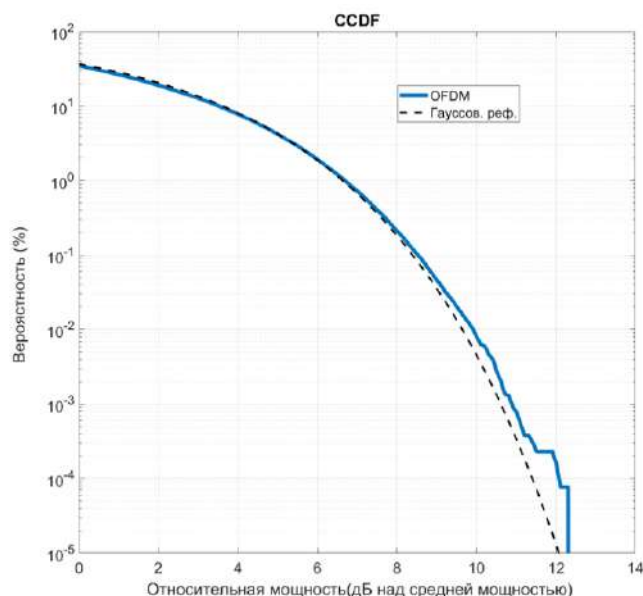


Рисунок 1

Всё это приводит к тому, что для эффективной передачи сигналов стандартов 4G (LTE/LTE-A)/5G требуются усилители высокой мощности и линейности, что приводит к удорожанию

оборудования, увеличению массы и габаритов систем связи.

Для решения проблем систем радиосвязи, связанных с высоким уровнем пик-фактора сигнала компания ЦИТМ «Экспонента» разработала технологии и методы снижения пик-фактора сигнала, применимые для современных стандартов связи, включая 4G (LTE/LTE-A)/5G технологии. Основная идея в снижении пик-фактора – это уменьшение пиковой мощности сигнала. В разное время были представлены различные методы снижения пик-фактора: оконные функции (peak windowing), жёсткое клипирование (hard clipping), сигналозависимые алгоритмы (tone reservation, active constellation extension). Развитием стал, один из наиболее прогрессивных методов – Peak cancellation crest factor reduction (PC-CFR). Данный метод имеет один из лучших показателей по снижению пик-фактора, при этом использует существенно меньшие вычислительные ресурсы в сравнении с другими методами.

В течении нескольких лет компания ЦИТМ «Экспонента» ведёт исследование и разработку систем снижения пик-фактора, основанных на прогрессивном методе PC-CFR, и в настоящее время готова представить IP-ядро собственной разработки PC-CFRex-IP, предназначенное для снижения пик-фактора сигнала стандартных (4G(LTE/LTE-A)/5G и др.) и нестандартных систем связи (custom OFDM). Уникальность данного IP-ядра в том, что его архитектура не привязана к какому-либо стандарту и является гибкой и конфигурируемой в режиме «онлайн» не требуя переконфигурации проектов.

Описание

IP-ядро PC-CFRex-IP предназначено для снижения пик-фактора сигнала. Архитектура IP-ядра PC-CFRex-IP не привязана к конкретному производителю ПЛИС/СБИС, что повышает гибкость и независимость, разрабатываемых систем радиосвязи. IP-ядро PC-CFRex-IP (ЦИТМ «Экспонента») и IP-ядро

DPDex-IP (ЦИТМ «Экспонента») полностью совместимы и составляют готовое DFE-решение (Digital Front-End) для современных систем связи.

На рисунке 2 представлена комплементарная кумулятивная функция распределения вероятностей для OFDM сигнала и для OFDM сигнала с использованием IP-ядра PC-CFRex-IP.

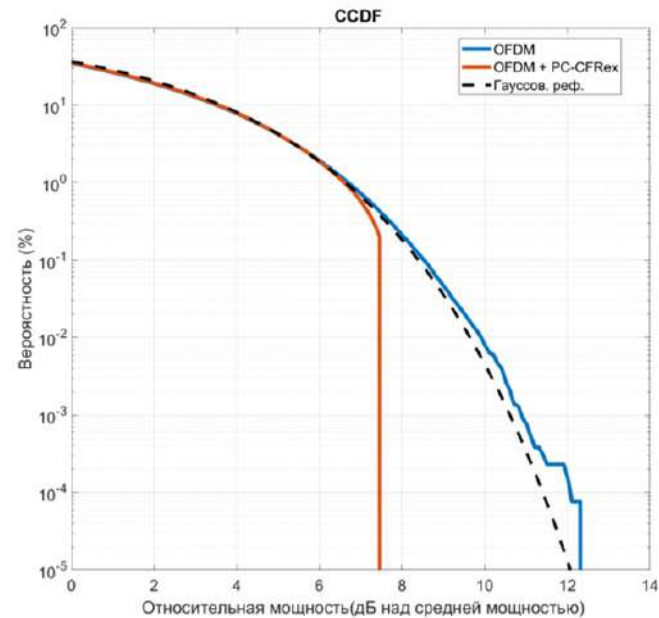


Рисунок 2

Как видно из графика, эффективное снижение пик-фактора при использовании IP-ядра PC-CFRex-IP более чем на 4.0 дБ (PAPR=7.7 дБ/ EVMrms = 3.0%).

Снижение пик-фактора осуществляется за счёт использования специальных коэффициентов импульсных характеристик - peak cancellations. Загрузка коэффициентов осуществляется через стандартный интерфейс AXI-4Lite. Максимальная скорость загрузки ограничена только производительностью интерфейса AXI-4Lite. Для расчёта коэффициентов используется специализированное ПО, поставляемое вместе с IP-ядром PC-CFRex-IP.

IP-ядро PC-CFRex-IP спроектировано таким образом, что позволяет снижать пик-фактор сигнала, при этом не допуская существенного расширения спектра сигнала. Это достигается за счёт методики расчёта коэффициентов импульсных характеристик (peak cancellations) и многокаскадной архитектуры, которая итеративно снижает пик-фактор сигнала.

На рисунке 3 представлены спектры OFDM

сигнала шириной полосы частот 50 МГц с использованием и без использования IP-ядра PC-CFRex-IP.

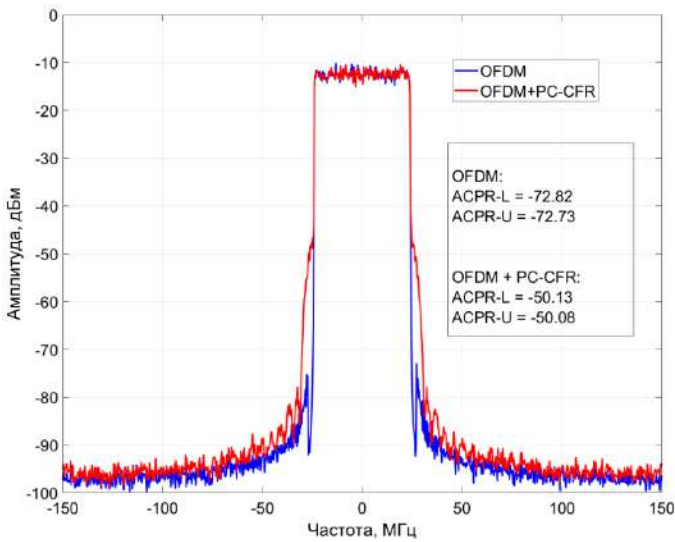


Рисунок 3

Другим немаловажным показателем эффективности работы IP-ядра PC-CFRex-IP является низкий уровень вносимых искажений. Значение EVMrms при использовании PC-CFRex-IP для OFDM с модуляциями 256-QAM/64-QAM находится в пределах 3.2% при эффективном PAPR=7.7 дБ. В таблице 1 представлено сравнение с аналогичными решениями от других производителей. Информация взята из открытых источников.

Таблица 1.

Производитель	Lattice Semi	Altera	Xilinx	Texas Instr	Systems 4Silicon	ЦИТМ Экспонента
Тип сигнала	LTE 20 MHZ	LTE 20 MHZ	LTE 20 MHZ	LTE 20 MHZ	LTE 20 MHZ	LTE 20 MHZ
PAPR w/CFR, дБ	7.3	6.5	7.5	8	7	7.6
EVM, %	3.7	13.8	4	-	5	3.2
Тип CFR	non-data-aided	non-data-aided	non-data-aided	non-data-aided	non-data-aided	non-data-aided

Также IP-ядро PC-CFRex-IP содержит встроенный аппаратный «hard clipper», который позволяет осуществлять сжатие

динамического диапазона без учёта расширения спектра.

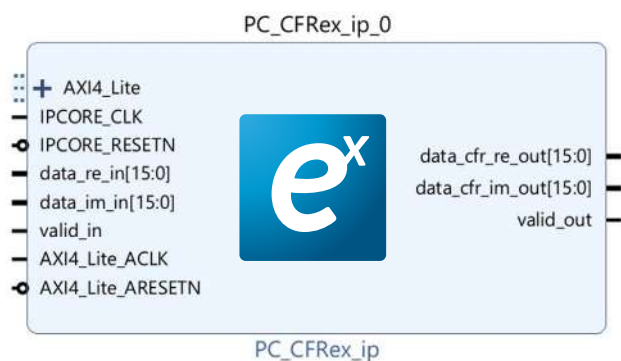


Рисунок 4

Технические характеристики

- Архитектура – Non data aided (Peak cancellation+Hard clipper)
- Макс. эффективная полоса входного сигнала – 80 МГц (при макс. тактовой частоте 400 МГц)
- Максимальная тактовая частота работы
- ядра – 400 МГц (Xilinx Zynq7100/ Zynq7045/ Kintex-7)
- Максимальное количество стадий обработки – 3
- LUT – 10960
- DSP – 11
- FF – 14074(в режиме 1 clk/sample при макс. тактовой частоте 400 МГц)
- Встроенный «hard clipper»
- Управление IP-ядром по AXI4-Lite
- «Онлайн» загрузка коэффициентов импульсных характеристик по AXI4-Lite

Интеграция

IP-ядро PC-CFRex-IP ЦИТМ «Экспонента», всегда доступно для целевых платформ FPGA и СБИС. Для специальных применений возможно использование IP-ядра PC-CFRex-IP в составе специализированных СМК.

Интеграция IP-ядра в текущие или будущие проекты возможна в соответствии с любыми требованиями и пожеланиями заказчика. Специалисты ЦИТМ «Экспонента» помогут вам в решении этой задачи.

IP-ядро OFDMex-IP предназначено для работы в качестве OFDM-модулятора или OFDM-демодулятора в трактах цифровой обработки сигналов различных систем связи. Данная версия IP-ядра имеет повышенное быстродействие благодаря использованию новой реализации высокопроизводительного потокового алгоритма FFT.

Применение

- Системы связи с OFDM-модуляцией: IP-ядро идеально подходит для приемопередающих устройств, использующих технологию OFDM, в сочетании с различными стандартами связи
- Оборудование для систем цифрового телевидения DVB
- Системы беспроводного доступа Wi-Fi (IEEE 802.11a/n/ac/ax/be)
- Базовые станции 4G/LTE/5G NR: IP-ядро используется для обработки сигналов в базовых станциях мобильной связи, обеспечивая высокую производительность и гибкость конфигурации

Архитектура

IP-ядро OFDMex-IP предоставляет пользователю возможность конфигурации с целью выбора режима работы и максимальной длины FFT. Последнее позволяет в случае необходимости значительно оптимизировать используемые ресурсы FPGA. При конфигурации доступен выбор режима работы OFDM-модулятор или OFDM-демодулятор. Максимальная длина FFT может быть установлена из ряда: 64, 128, 256, 512, 1024, 2048.

На рисунке 1 показаны структурные схемы ядра в режиме модулятора и демодулятора.

При работе в режиме модулятора IP-ядро принимает на вход комплексные отсчеты формирующие спектр OFDM-символа. Полный спектр формируется с помощью

формирователя OFDM-символа (Symbol formation) с учётом требуемого размера защитных интервалов. Далее с помощью повторителя (Sample repeater) в случае если длина FFT меньше максимальной длины формируется полный набор отсчётов для обратного преобразования Фурье (IFFT). Так как входные данные модулятора представлены как симметричный спектр, спектр сигнала на выходе IFFT смещается на половину частоты дискретизации. После этого к OFDM-символу во временной области добавляется циклический префикс требуемой длины. В случае использования оконной обработки, в конце также добавляется суффикс с длиной равной длине окна. Кроме того, в начале префикса и для суффикса применяется умножение на оконную функцию (Windowing). В выходной последовательности префикс перекрывается с суффиксом предыдущего символа.

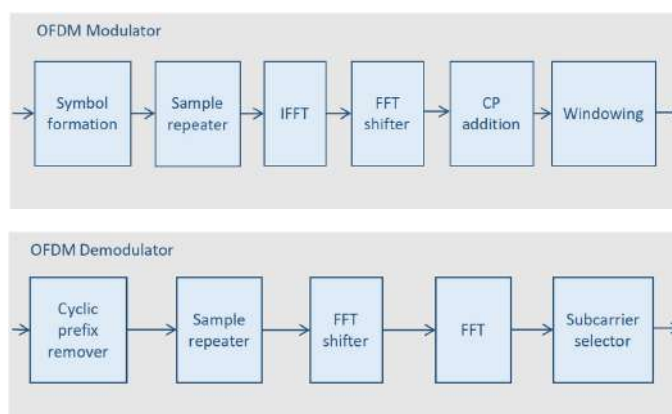


Рисунок 1

При работе в режиме демодулятора IP-ядро принимает на входе OFDM-символы во временной области. При этом вначале происходит удаление циклического префикса. Далее, если длина символа меньше максимального размера FFT с помощью периодического повторения формируется последовательность длины необходимой для FFT. Так как отсчеты на выходе демодулятора интерпретируются как симметричный спектр, перед FFT во временной области

спектр сигнала смещается на половину частоты дискретизации. После выполнения преобразования Фурье из спектра выделяются необходимые компоненты и подаются на выход.

Сигналы управления и временные диаграммы

Обработка данных поступающих на входные порты начинается после установки сигнала `valid_in` в значение логической «1». Полезные выходные данные появляются после установки `valid_out` в значение логической «1». Управляющий порт `fft_mode` определяет размер FFT/IFFT преобразования для текущего OFDM-символа. Номер режима выбирается из ряда: 0, 1, 2, 3, 4, 5, что соответствует длине FFT 64, 128, 256, 512, 1024, 2048 соответственно. С помощью портов `cp_len`, `left_guard`, `right_guard` задаются соответственно длина циклического префикса, размер левого и правого защитного интервала. Порт `dc_null` в режиме модулятора используется для установки режима автоматической вставки отсчёта нулевой постоянной составляющей. В режиме демодулятора порт `dc_null` используется для установки режима удаления отсчёта постоянной составляющей из выходных данных. В режиме модулятора существует дополнительный порт `win_len` для установки длины окна при оконной обработке. Максимальная длина окна – `win_len` = 32 отсчёта. При установке длины `win_len` = 0 оконная обработка не выполняется. Также предусмотрен порт сброса состояния IP-ядра OFDMex-IP – `prg_rst`, по сигналу от которого происходит общий сброс всех регистров внутри блока.

На рисунке 2 показан пример дизайна системы с использованием IP-ядер OFDMex-IP. При конфигурации ядер пользователю необходимо указать режим работы ядра и максимальную длину FFT (рисунок 3)

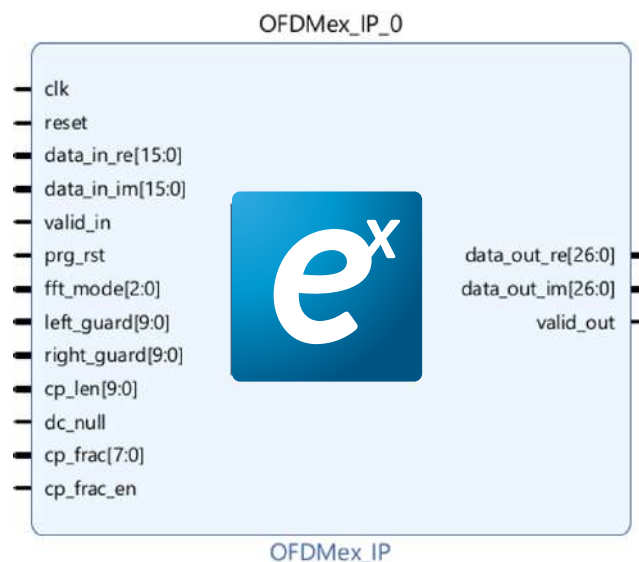


Рисунок 2

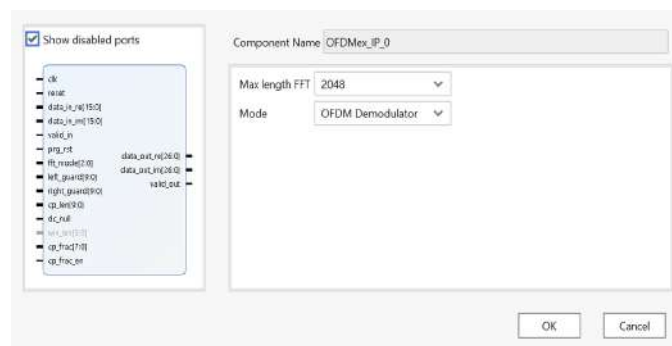


Рисунок 3

Обработка данных в ядре OFDMex-IP имеет высокую степень конвейеризации. Задержка данных между входом и выходом зависит от конфигурации и значений текущих параметров. Запуск цикла обработки OFDM-символа происходит после того, как на вход ядра поступят все данные, необходимые для формирования или демодуляции.

На рисунке 4 показан пример временных диаграммы работы модулятора. На вход модулятора непрерывно поступают данные для последовательного формирования 4-х OFDM-символов. Как видно данные на выходе появляются с задержкой обусловленной конвейерной обработкой.

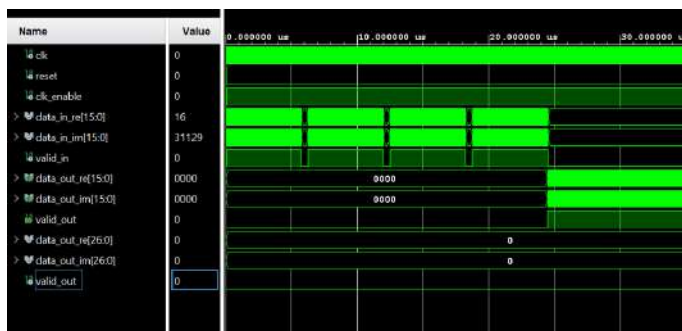


Рисунок 4

Аналогичным образом выглядят временные диаграммы работы в режиме демодулятора (Рисунок 5).



Рисунок 5

Совместимость со стандартом LTE

IP-ядро OFDMex-IP может быть использовано в системах связи стандарта LTE с количеством ресурсных блоков (NDLRB): 6, 15, 25, 50, 100. Для этого необходимо сконфигурировать ядро на максимальную длину FFT 2048 и обеспечить подачу на входные порты соответствующих параметров, исходя из стандарта. Например, для NDLRB = 50 в режиме extended CP следует установить параметры: `fft_mode = 4`, `dc_null = 1`, `cp_len = 256`, `left_guard = 212`, `right_guard = 211`.

Технические характеристики OFDMex-IP

- Режимы работы:
 - о OFDM-модулятор
 - о OFDM-демодулятор
- Максимальное значение длины FFT устанавливаемое при конфигурации – 64, 128, 256, 512, 1024, 2048
- Значение длины FFT устанавливаемое через порт - 64, 128, 256, 512, 1024, 2048 (`fft_len <= FFTmax`)
- Максимальная длина окна при оконной обработке в модуляторе – 32 (по стандарту IEEE 802.11g)

Следующие параметры IP-ядра зависят от конкретной конфигурации. Для справки приведены некоторые значения.

Модулятор, FFTmax = 64

- Максимальная тактовая частота работы ядра – 405 МГц (Xilinx Zynq7100-2)
- LUT – 3074
- DSP – 10
- FF – 7124
- RAMB36E1 - 1.5

Модулятор, FFTmax = 2048

- Максимальная тактовая частота работы ядра – 405 МГц (Xilinx Zynq7100-2)
- LUT – 4684
- DSP – 19
- FF – 11526
- RAMB36E1 - 19

Демодулятор, FFTmax = 64

- Максимальная тактовая частота работы ядра – 410 МГц (Xilinx Zynq7100-2)
- LUT – 3119
- DSP – 6
- FF – 6542
- RAMB36E1 - 0.5

Демодулятор, FFTmax = 2048

- Максимальная тактовая частота работы ядра – 409 МГц (Xilinx Zynq7100-2)
- LUT – 5860
- DSP – 18
- FF – 12689
- RAMB36E1 – 19

Тестирование и симуляция

Для тестирования и симуляции IP-ядра OFDMex-IP возможна поставка завершеного тестового окружения, реализованного с помощью языков описания Verilog/VHDL с привязкой к конкретному типу симулятора:

Интеграция

IP-ядро OFDMex-IP ЦИТМ «Экспонента», всегда доступно для целевых платформ FPGA и СБИС. При наличии специфических требований возможно рассмотрение доработки ядра. Для специальных применений возможно использование IP-ядра OFDMex-IP в составе специализированных СнК.

Интеграция IP-ядра в текущие или будущие проекты возможна в соответствии с любыми требованиями и пожеланиями заказчика. Специалисты ЦИТМ «Экспонента» помогут вам в решении этой задачи.

Сверточное декодирование Витерби

В современных системах связи критически важна надёжная передача данных с возможностью восстановления информации при наличии помех и искажений. Это позволяет минимизировать количество повторных передач, обусловленных ошибками, что, в свою очередь, способствует увеличению эффективности и пропускной способности канала связи. Одним из широко применяемых методов для обеспечения коррекции ошибок является сверточное кодирование. Сверточный кодер совместно с декодером Витерби реализует механизм коррекции ошибок, основанный на добавлении избыточности и использовании алгоритма максимального правдоподобия.

Сверточный кодер преобразует входную битовую последовательность, добавляя к ней избыточные биты в соответствии с заданной структурой. При этом применяется определённая скорость кодирования — в данном случае 1/2, что означает генерацию двух выходных битов на каждый входной бит.

Декодирование осуществляется алгоритмом Витерби, который на основе принципа максимального правдоподобия восстанавливает наиболее вероятную исходную последовательность битов, компенсируя влияние ошибок, возникших в канале передачи.

Описание

IP-ядро VITERBlex-IP, разработанное компанией ЦИТМ «Экспонента», предназначено для обеспечения контроля целостности и коррекции ошибок в системах цифровой радиосвязи. Архитектура ядра представляет собой высокопроизводительный декодер Витерби, ориентированный на применение в современных телекоммуникационных стандартах, включая DVB, 3GPP LTE, 3GPP2, IEEE 802.11a/n/ac/ax/be, IEEE 802.16. Ключевым

преимуществом решения является аппаратная независимость: Архитектура IP-ядра не привязана к конкретному производителю ПЛИС/СБИС, что повышает гибкость и независимость, разрабатываемых систем радиосвязи.

На рисунке 1 представлена зависимость вероятности битовой ошибки (BER) от отношения энергии бита к спектральной плотности мощности шума (E_b/N_0) при использовании IP-ядра VITERBlex-IP, а также приведено сравнение с аналогичными решениями сторонних производителей.

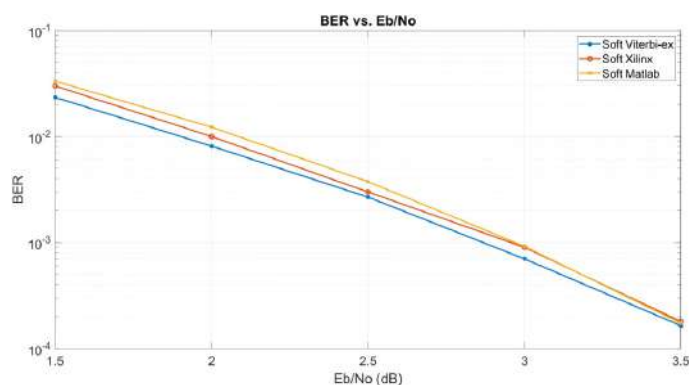


Рисунок 1

Как видно из графика, IP-ядро VITERBlex-IP демонстрирует более низкий уровень BER по сравнению с аналогами при идентичных условиях моделирования, что указывает на его высокую эффективность в условиях зашумленных каналов.

Высокая пропускная способность достигается благодаря архитектурным улучшениям в механизме хранения и отбора выживших путей, а также оптимизации логики трассировки обратного пути, что позволяет обеспечить высокую скорость работы.

В таблице 1 представлено сравнение с аналогичными решениями от других производителей. Информация взята из открытых источников: AMD Kintex-7 xc7k70/ AMD Zynq®-7000 ZC706/AMD Kintex-7 xc7k70.

Таблица 1.

Производитель	Xilinx	MathWorks	ЦИТМ Экспонента
LUT	2210	3861	2289
FF	1719	2521	2105
36k BRAMs	2	1	2
Fmax, МГц	281	260	290

IP-ядро VITERBlex-IP также включает встроенный механизм нормализации метрик, предназначенный для предотвращения переполнения путевых метрик, что актуально при работе в условиях низкого отношения сигнал/шум.

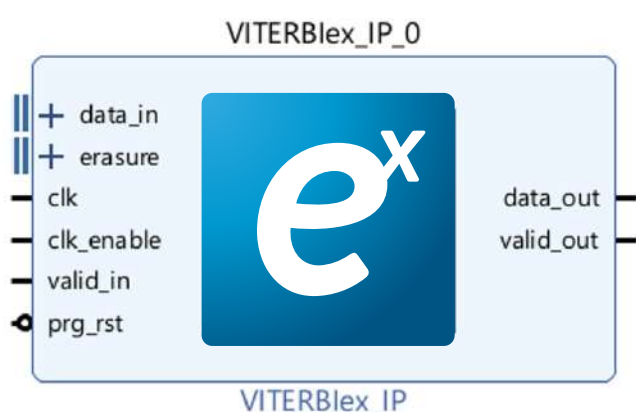


Рисунок 2

Для повышения эффективности использования аппаратных ресурсов и улучшения корректирующей способности, архитектура IP-ядра поддерживает широкие возможности параметризации: длина обратной трассировки, разрядность мягких решений на входе, число игнорируемых бит при поиске минимального элемента.

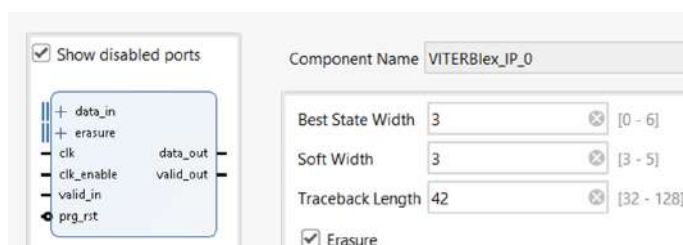


Рисунок 3

Технические характеристики

- Архитектура: мягкое декодирование с параметризуемой длиной входных данных (от 3 до 5 бит)
- Кодовая скорость 1/2, длина кодового ограничения K=7
- Нормализация метрик
- Выкалывание символов
- Полная совместимость со стандартами: DVB, 3GPP LTE, 3GPP2, IEEE 802.11a/n/ac/ax/be, IEEE 802.16
- Поддержка пользовательского ввода глубины памяти (traceback length)
- Пользовательская настройка выбора лучшего состояния для декодирования
- Полином генератора g1=171, g2=133
- Задержка $\approx 4 \cdot \text{traceback_length} + 45$
- Макс. тактовая частота работы ядра – 290 МГц Kintex-7 xc7k70
- LUT – 2289
- FF – 2105
- BRAM – 2

Интеграция

IP-ядро VITERBlex-IP ЦИТМ «Экспонента», всегда доступно для целевых платформ FPGA и СБИС. Для специальных применений возможно использование IP-ядра в составе специализированных СнК.

Интеграция IP-ядра в текущие или будущие проекты возможна в соответствии с любыми требованиями и пожеланиями заказчика. Специалисты ЦИТМ «Экспонента» помогут вам в решении этой задачи.

Спутниковые системы связи являются актуальным и перспективным направлением в области систем связи которое постоянно развивается.

Передача информации с помощью спутниковой связи осложняется наличием: шумов, интерференции, замираниями сигнала. Из-за этих негативных воздействий, данные подвержены искажению без возможности их восстановления. Для обеспечения целостной передачи данных используются методы канального кодирования, такие как коды с малой плотностью проверок на чётность (LDPC) и коды БЧХ (BCH), которые вносят избыточность данных за счет которой можно восстановить данные, переданные с ошибкой.

LDPC эффективно корректирует ошибки вызванные шумами в канале передачи, а BCH исправляет остаточные единичные ошибки, за счет алгебраической структуры.

Благодаря их совместному применению обеспечивается практически безошибочная работа на уровне примерно от 0,7 дБ до 1 дБ от предела Шеннона.

Совместное использование этих методов кодирования было предложено во многих стандартах: DVB-S2, DVB-T2, CCSDS 231.0-B-3. В системах, работающих по стандарту DVB-S2/T2 (рисунок1/рисунок2), предусмотрено адаптивное кодирование, скорость которого может меняться в зависимости от уровня шумов в канале.

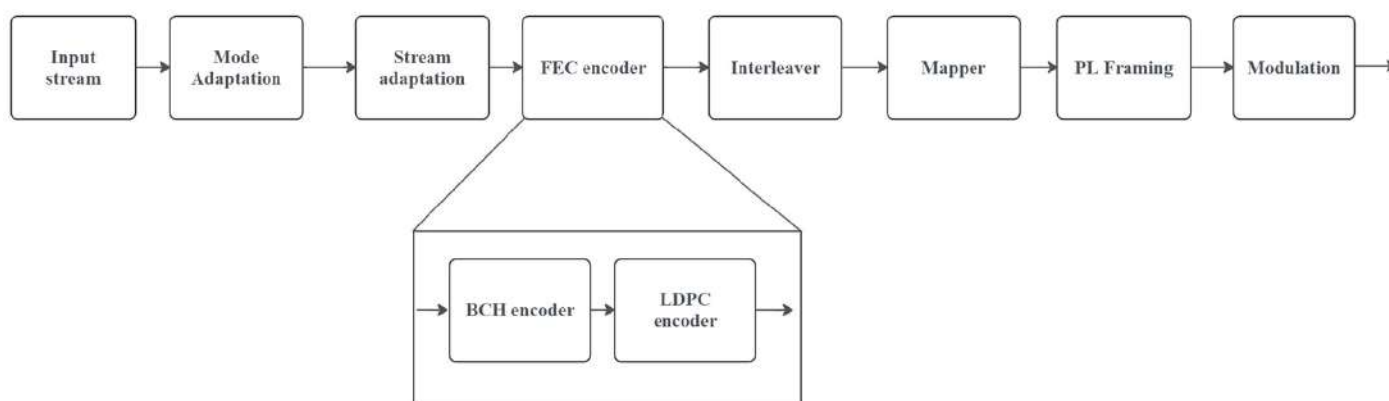


Рисунок 1. Структурная схема системы DVB-S2

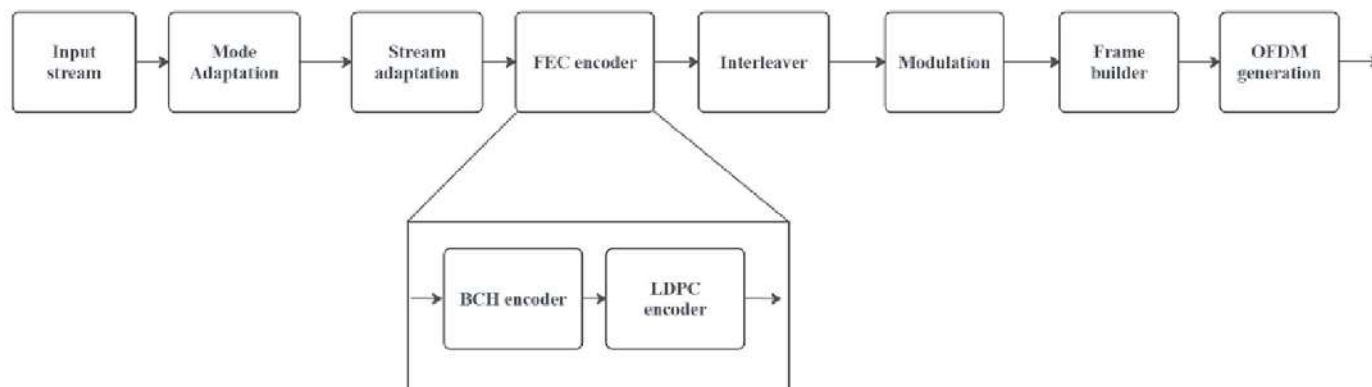


Рисунок 2. Структурная схема системы DVB-T2

Описание

IP-ядро DVB-S2/T2 FEC ENCODERex-IP предназначено для обеспечения целостной передачи данных в системах спутниковой связи. Компания ЦИТМ «Экспонента» разработала архитектуру высокоскоростного кодера, полностью соответствующий современным стандартам связи DVB-S2 и DVB-T2. Архитектура IP-ядра не привязана к конкретному производителю ПЛИС/СБИС, что повышает гибкость и независимость, разрабатываемых систем радиосвязи.

Высокоскоростное кодирование осуществляется за счет схемы параллельного кодирования. В блоке BCH реализован параллелизм на 8 бит, а в блоке LDPC на 360 бит. Благодаря архитектуре параллельного кодирования данных, IP-ядро DVB-S2/T2 FEC ENCODERex-IP оптимизировано для достижения максимальной пропускной способности до 3 Гбит/с, с учетом вывода проверочных битов в правильном порядке.

Одна из особенностей IP-ядра это изменение кодовой скорости «на лету» в диапазоне от 1/4 до 9/10 в соответствии со стандартами DVB-S2 и DVB-T2, переключение которой осуществляется после завершения этапа кодирования блока длины 64800 бит (Normal FECFRAME).

Функционал IP-ядра и его полное соответствие стандартам позволяет быстро и гибко встраивать его в архитектуру системы связи представленной на рисунке 1 и рисунке 2. IP-ядро взаимодействует с внешними блоками по процедуре handshake протокола AXI4-Stream для обеспечения целостной передачи данных между блоками.

Таблица 1. Пропускные способности для AMD Zynq xc7z100ffg1156-2/ AMD Ultrascale+ xczu15eg ffvb1156-2-i

Кодовая скорость	Пропускная способность, Мбит/с
1/4	450/827
1/3	602/1106
2/5	724/1330
1/2	907/1665
3/5	1089/2000
2/3	1212/2225
3/4	1363/2502

4/5	1454/2670
5/6	1516/2783
8/9	1618/2971
9/10	1638/3008

В таблице 2 представлены аппаратные ресурсы для AMD Zynq xc7z100ffg1156-2/ AMD Ultrascale+ xczu15eg ffvb1156-2-i

Таблица 2. Аппаратные ресурсы для AMD Zynq xc7z100ffg1156-2/ AMD Ultrascale+ xczu15eg ffvb1156-2-i

Аппаратные ресурсы FPGA	Количество ресурсов
LUT	23445 / 23935
FF	30955 / 30766
BRAM	23.5 / 23.5
Fmax, МГц	365 / 670



Рисунок 3

Технические характеристики

- Полное соответствие со стандартами ETSI EN 302 307 V1.4.1 (2014-07) (DVB-S2) и ETSI EN 302 755 v1.4.1 (2015-07) (DVB-T2)
- Поддержка кадров нормальной длины (Normal FECFRAME, 64800 бит)
- Поддержка кодовых скоростей от 1/4 до 9/10
- Формирование проверочных битов в правильном порядке
- Возможность изменения кодовых скоростей от кадра к кадру
- Высокая пропускная способность
- Работа IP-ядра по принципу AXI4-Stream для удобного встраивания в ваш проект
- Задержка 213 тактов

Интеграция

Дополнительно к IP-ядру может быть поставлен высокоскоростной Interleaver и Scrambler в соответствии со стандартом DVB-S2. IP-ядро DVB-S2/T2 FEC ENCODERex-IP ЦИТМ «Экспонента», всегда доступно для целевых платформ FPGA и СБИС. Для специальных применений возможно использование IP-ядра DVB-S2/T2 FEC ENCODERex-IP в составе специализированных СнК.

Интеграция IP-ядра в текущие или будущие проекты возможна в соответствии с любыми требованиями и пожеланиями заказчика. Специалисты ЦИТМ «Экспонента» помогут вам в решении этой задачи.

DVB-S2X LDPC DECODER

Стандарт DVB-S2X (Digital Video Broadcasting - Satellite - Second Generation Extension) представляет собой расширение широко распространенного стандарта DVB-S2, направленное на повышение эффективности передачи данных в спутниковых системах связи. Одним из ключевых компонентов этого стандарта является использование кодов с малой плотностью проверок на чётность (LDPC), обеспечивающих высокую степень коррекции ошибок при сохранении разумной вычислительной сложности.

Нововведением стандарта S2X является структура LDPC-матриц. Она была переработана относительно S2 для минимизации конфликтов при параллельной обработке, а также для лучшей сходимости итеративного декодирования, что позволяет достичь более высокой энергетической эффективности (т.е. более низкой вероятности ошибок при заданном уровне SNR). Всё это делает LDPC-коды DVB-S2X более гибкими, производительными и лучше приспособленными к современным требованиям спутниковой связи.

IP-ядро DVB-S2X LDPC DECODERex-IP предназначено для обеспечения целостной передачи данных в системах спутниковой связи. Компания ЦИТМ «Экспонента» разработала архитектуру высокоскоростного декодера, полностью соответствующий современному стандарту связи DVB-S2X. Архитектура IP-ядра не привязана к конкретному производителю ПЛИС/СБИС, что повышает гибкость и независимость, разрабатываемых систем радиосвязи.

Ключевой особенностью поставляемого IP-ядра является использование максимальной параллельности, допустимой структурой LDPC кодов. Это позволяет максимально быстро завершать обработку каждой итерации декодирования, тем самым повышая пропускную способность.

В разработанном LDPC декодере используется

алгоритм Min-Sum. Благодаря этому декодер сохраняет высокую помехоустойчивость, соответствующую требованиям стандарта, при этом оставаясь эффективным по ресурсам и хорошо подходящим для аппаратной реализации.

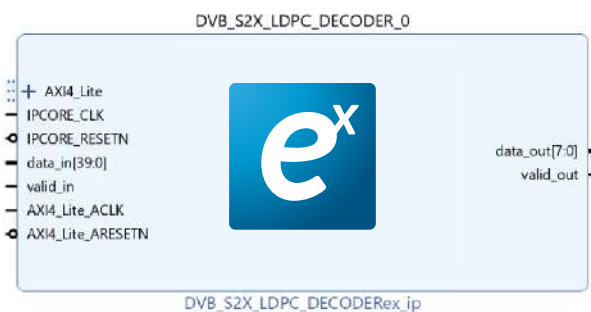


Рисунок 1. Блок IP-ядра

Описание

Структурно IP-ядро можно разделить на:

- 1) интерфейс преобразования параллельности LLR из 5 в 360
- 2) интерливер проверок на четность (parity shuffler)
- 3) декодер
- 4) интерфейс преобразования параллельности бит из 360 в 8

Интерливер проверок на четность может быть убран на этапе настройки IP-ядра в блок дизайне.

За основу IP-ядра взят хорошо известный Layered декодер с алгоритмом Normalized Min-Sum. Normalized Min-Sum является упрощённой версией Belief Propagation. Его суть — замена сложных вычислений на простые операции сравнения и суммирования. Данный алгоритм позволяет значительно сократить аппаратные ресурсы, сохраняя достаточную эффективность.

Высокоскоростное декодирование осуществляется за счет параллелизма размером 360. При частоте тактирования

200 МГц максимальная пропускная способность выходного потока одного декодера может составляет 800 Мбит/с при 6 итерациях декодирования. Также блок поддерживает все скорости стандарта связи DVB-S2X для NORMAL FECFRAME, кроме тех, что относятся к DVB-S2. Переключение кодовых скоростей и числа итераций осуществляется по интерфейсу AXI4-Lite и может изменяться от кадра к кадру. В таблице 1 представлены аппаратные ресурсы поставляемого IP-ядра, а в таблице 2 достигаемые битовые скорости на входе и выходе декодера, соответственно, для различных кодовых скоростей стандарта S2X при тактовой частоте ядра Fclk = 200 МГц и 6 итерациях декодирования.

Таблица 1. Аппаратные ресурсы для xczu15eg-ffvb1156-2-i

Аппаратные ресурсы FPGA	Количество ресурсов
LUT	69603
FF	59381
BRAM	82
DSP	360

Таблица 2. Пропускная способность для xczu15eg-ffvb1156-2-i

CodeRate	Кодовая скорость	Пропускная способность, Мбит/с
1	2/9	763/170
2	13/45	681/681
3	9/20	771/223
4	90/180	753/376
5	96/180	721/385
6	11/20	733/403
7	100/180	753/418
8	104/180	709/410
9	26/45	704/407
10	18/30	676/406
11	28/45	785/489
12	23/36	821/525
13	116/180	712/459
14	20/30	910/607
15	124/180	936/645
16	25/36	993/690
17	128/180	944/671
18	13/18	1014/732

19	132/180	939/688
20	22/30	917/673
21	135/180	966/725
22	140/180	906/704
23	7/9	986/767
24	154/180	936/801

На рисунке 2 показана вероятность битовой ошибки для кодовой скорости 13/18 при 6 итерациях.

Вход data_in IP-ядра принимает 5 параллельных 8-битных LLR (40-битная шина), а выход data_out отдает 8 параллельных декодированных бит. Сигналы valid_in и valid_out сообщают о валидности соответствующих по имени портов данных.

Все управляемые параметры и сброс вынесены на AXI4-Lite шину:

- Кодовая скорость
- Число итераций декодирования
- Коэффициент нормализации

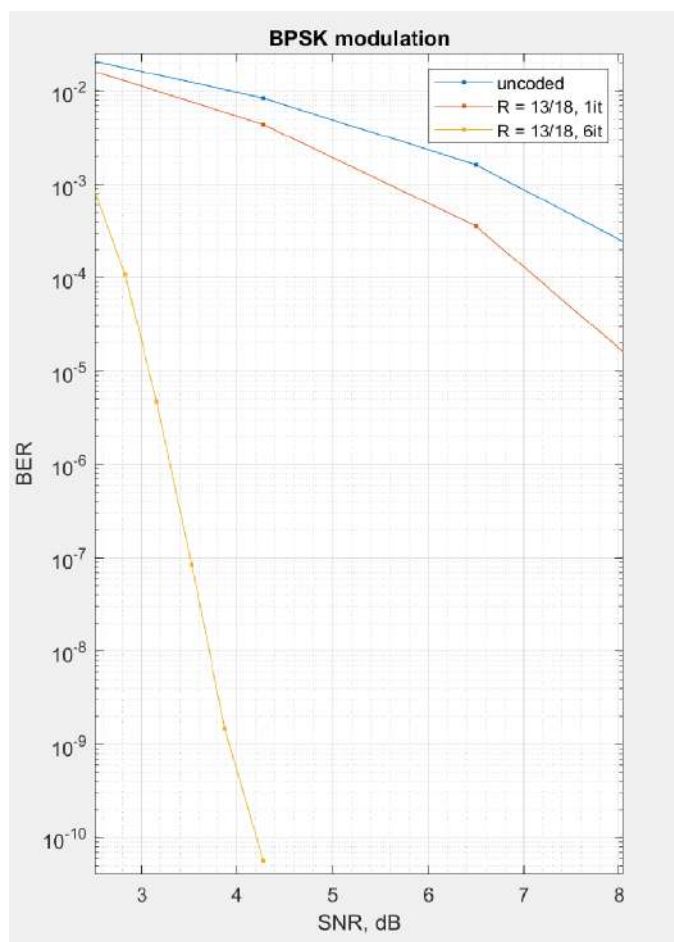


Рисунок 2. Графики BER

Технические характеристики

- Полное соответствие стандарту ETSI EN 302 307-2 V1.1.1 (DVB-S2X)
- Поддержка кадров нормальной длины (Normal FECFRAME, 64800 бит)
- Поддержка кодовых скоростей DVB-S2X
- Возможность изменения кодовых скоростей и итераций от кадра к кадру (ACM, CCM, VCM режимы)
- Высокая надежность и пропускная способность

Интеграция

Дополнительно к IP-ядру может быть поставлен LDPC кодер, соответствующий стандарту DVB-S2X. IP-ядро DVB-S2X LDPC DECODERex-IP ЦИТМ «Экспонента», всегда доступно для целевых платформ FPGA и СБИС. Для специальных применений возможно использование IP-ядра в составе специализированных СнК.

Интеграция IP-ядра в текущие или будущие проекты возможна в соответствии с любыми требованиями и пожеланиями заказчика. Специалисты ЦИТМ «Экспонента» помогут вам в решении этой задачи.

Программируемый цифровой повышающий преобразователь

Современные системы радиосвязи, беспроводной передачи данных, радиолокации и радионавигации требуют гибкого формирования комплексного I/Q сигнала перед трактом ЦАП и аналогового переноса частоты. В цифровом тракте необходимо увеличивать частоту дискретизации, корректировать уровень сигнала и выполнять перенос спектра на промежуточную частоту при сохранении потокового режима обработки.

Реализация этих функций в виде переиспользуемого IP-ядра снижает сроки разработки и упрощает интеграцию в ПЛИС/СБИС или СнК.

Для снижения потенциальных затрат и ускорения разработки компания ЦИТМ «Экспонента» предлагает IP-ядро собственной разработки DUCex-IP, ориентированное на построение цифровых трактов радиопередающих устройств широкого спектра применения.

DUCex-IP представляет собой параметризуемое IP-ядро цифрового повышающего преобразования, ориентированное на применение в составе современных решений на основе ПЛИС/СБИС или СнК. IP-ядро DUCex-IP реализует полный набор базовых функций цифрового передающего тракта: повышение частоты дискретизации за счёт интерполяции, компенсацию искажений амплитудно-частотной характеристики, цифровой частотный перенос с использованием NCO, а также амплитудную коррекцию выходного сигнала. Архитектура ядра обеспечивает работу с комплексными сигналами I/Q, поддерживает одно- и двухканальный режимы обработки и допускает гибкую настройку параметров как на этапе генерации IP-ядра DUCex-IP, так и в процессе эксплуатации.

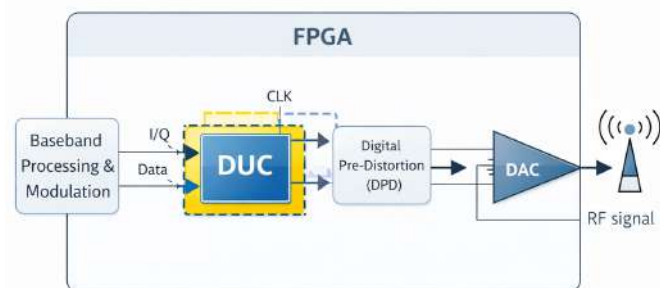


Рисунок 1

IP-ядро DUCex-IP предназначено для разработчиков цифровых передающих трактов, которым требуется готовое, воспроизводимое и интегрируемое решение для построения каналов формирования сигнала в реальном времени.

IP-ядро DUCex-IP может использоваться как самостоятельный функциональный блок в составе радиотракта, так и как часть более сложных систем цифровой обработки сигналов, в которых предъявляются повышенные требования к масштабируемости, повторяемости результатов синтеза и удобству встраивания в существующую инфраструктуру проекта.

Описание

IP-ядро DUCex-IP предназначено для цифрового повышающего преобразования комплексного (I/Q) сигнала: интерполяции, амплитудной коррекции и переноса спектра на промежуточную частоту. IP-ядро DUCex-IP поддерживает программную конфигурацию различных режимов обработки из среды Xilinx Vivado и может встраиваться в FPGA- и ASIC-проекты.

DUCex-IP поддерживает один или два независимых канала обработки. Для каждого канала доступны управляемый коэффициент интерполяции, опциональный блок амплитудной коррекции, опциональный генератор с числовым управлением (NCO) с режимом генерации синусоидальных сигналов (DDS). Управление параметрами

возможно как через AXI4-Lite регистры, так и через нативные входы конфигурации при включении параметра ENABLE_NATIVE_CONFIG.

Обработка выполняется независимо по каждому каналу. На вход поступают комплексные отсчёты (I/Q) и сигнал valid_in. Сигнал ready_out указывает готовность ядра принять новый входной отсчёт и обеспечивает интеграцию в потоковые тракты с контролем handshake.

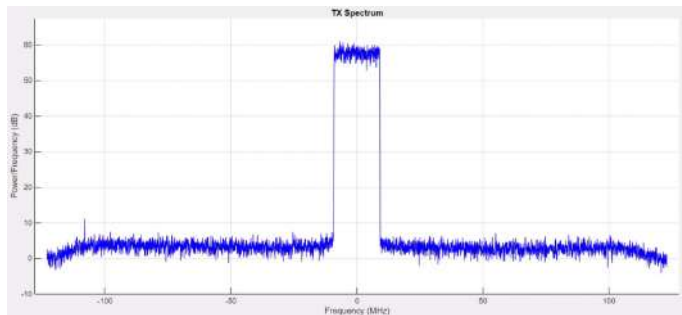


Рисунок 2

На рисунке 2 представлен спектр сигнала на выходе программно-определяемого радио PITM SDR USRP, использующего IP-ядро DUCex-IP для интерполяции тестового сигнала LTE ETM3.1 в 8 раз (до $F_s = 245.76$ Msps).

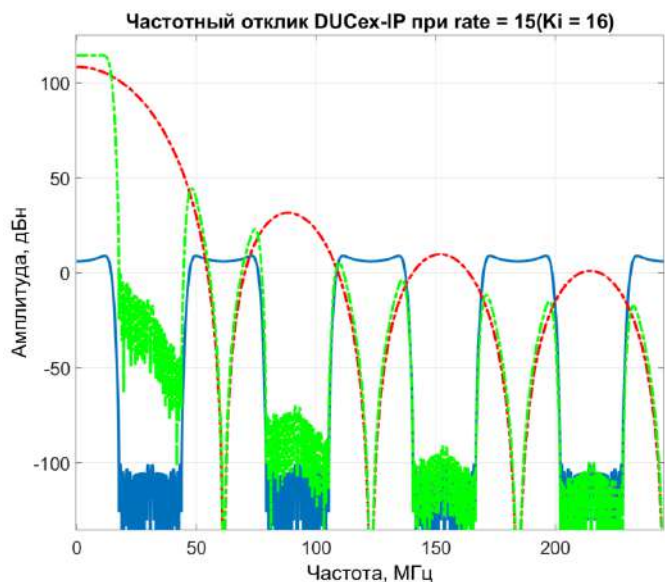


Рисунок 3

Интерполяция повышает частоту дискретизации в соответствии с выражением: $F_{s_out} = F_{s_in} \times K$, где K – общий коэффициент интерполяции. Для снижения вычислительных ресурсов тракт реализуется

каскадом КИХ-фильтра half-band ($x2$) и CIC-фильтра (xR), а также компенсационным КИХ-фильтром для коррекции амплитудно-частотной характеристики CIC-фильтра.

Генератор с числовым управлением NCO реализует перенос частоты на основе фазового аккумулятора. Параметры phase_inc и phase_offset задаются в 32-битном формате int32. Для сценариев отладки и тестирования предусмотрен режим DDS, позволяющий включать встроенные генераторы синусоидального сигнала.

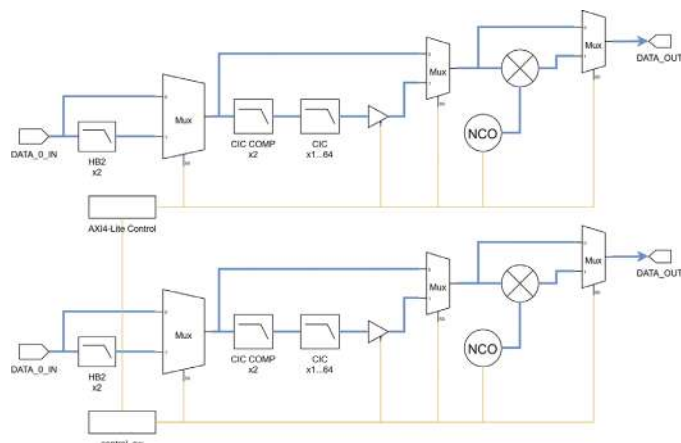


Рисунок 4

Пропускная способность выходного тракта определяется коэффициентом интерполяции rate и частотой тактирования IPCORE_CLK. При корректном соблюдении handshake (valid_in / ready_out) ядро обеспечивает детерминированную потоковую обработку. Латентность зависит от конфигурации фильтров, включения gain-corrector и NCO и определяется глубиной конвейера.

Технические характеристики

- Архитектура – FIR HB2+FIR CIC COMP+CIC
- Максимальная тактовая частота работы ядра – 550 МГц (Xilinx US+)
- Диапазон регулировки коэффициента интерполяции – 1,2:2:128
- Ресурсы (1 канал, NCO=0, Gain=0):

LUT – 3200

DSP – 30

FF – 8400

В IP-ядре DUCex-IP предусмотрена установка настроек из GUI Vivado:

Таблица 1.

Параметр	Значение	Описание
G_NUM_CHANNELS	1 или 2	Количество независимых каналов обработки.
G_ENABLE_NCO	0/1	Включение NCO для переноса частоты и DDS
G_ENABLE_GAIN_CORRECTOR	0/1	Включение блока амплитудной коррекции (gain-corrector).
ENABLE_NATIVE_CONFIG	0/1	При 1 — параметры rate/rst/enb/gain_* доступны через внешние порты; при 0 — управление через AXI4-Lite регистры.

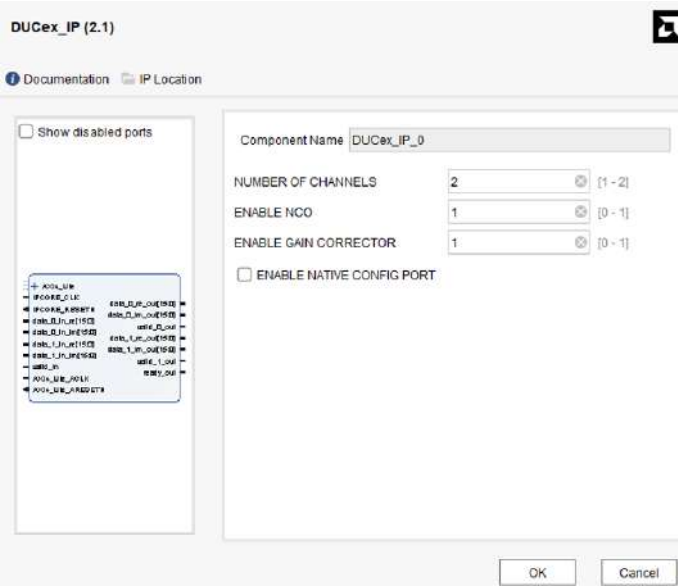


Рисунок 4

Производительность

Пропускная способность выходного тракта определяется коэффициентом интерполяции rate и частотой тактирования IPCORE_CLK. При корректном соблюдении handshake (valid_in/ready_out) ядро обеспечивает детерминированную обработку в потоковом режиме.

Задержка (латентность) зависит от конфигурации фильтров (CIC/FIR), включения gain-corrector и NCO и определяется глубиной конвейера; для конкретной ПЛИС рекомендуется фиксировать значения по результатам моделирования и временного анализа Vivado.

Интеграция

IP-ядро программируемого цифрового повышающего преобразователя DUCex-IP ЦИТМ «Экспонента» всегда доступно для целевых платформ FPGA и СБИС. Для специальных применений возможно использование IP-ядра DUCex-IP в составе специализированных систем на кристалле (СНК).
Интеграция IP-ядра DUCex-IP в текущие или будущие проекты возможна в соответствии с любыми требованиями и пожеланиями заказчика. Специалисты ЦИТМ «Экспонента» помогут вам в решении этой задачи.

Программируемый цифровой понижающий преобразователь

Современные системы радиосвязи, беспроводной передачи данных, радиолокации и радионавигации требуют высокосортной цифровой обработки комплексных отсчётов сигнала. В цифровом приёмном тракте необходимо изменять частоту дискретизации и выполнять перенос спектра на промежуточную частоту при сохранении потокового режима обработки. При этом зачастую есть потребность в обнаружении наличия искажений во входном сигнале. Например, таких как наличие постоянной составляющей.

Реализация этих функций в виде переиспользуемого IP-ядра снижает сроки разработки и упрощает интеграцию в ПЛИС/СБИС или СнК.

Для снижения потенциальных затрат и ускорения разработки компания ЦИТМ «Экспонента» предлагает IP-ядро собственной разработки DDCex-IP, ориентированное на построение цифровых трактов радиоприёмных устройств широкого спектра применения.

DDCex-IP представляет собой параметризуемое IP-ядро цифрового понижающего преобразователя, ориентированное на применение в составе современных решений на основе ПЛИС/СБИС или СнК. IP-ядро DDCex-IP реализует полный набор базовых функций цифрового приёмного тракта: понижение частоты дискретизации за счёт децимации, цифровой частотный перенос с использованием встроенного NCO, а также обнаружение и коррекция постоянной составляющей (DC-offset correction) входного сигнала. Архитектура IP-ядра DDCex-IP обеспечивает работу с комплексными сигналами I/Q, поддерживает одно- и двухканальный режимы обработки и допускает гибкую настройку параметров как на этапе синтеза и имплементации IP-ядра DDCex-IP, так и в процессе эксплуатации.

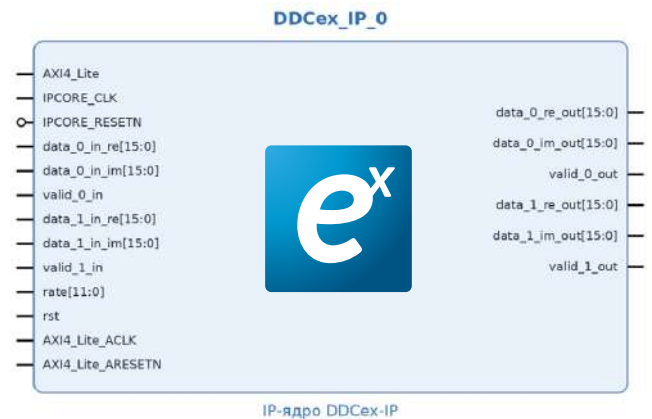


Рисунок 1

IP-ядро DDCex-IP предназначено для разработчиков цифровых приёмных трактов, которым требуется готовое, воспроизводимое и интегрируемое решение для построения каналов обработки сигнала в реальном времени. IP-ядро DDCex-IP может использоваться как самостоятельный функциональный блок в составе радиотракта, так и как часть более сложных систем цифровой обработки сигналов, в которых предъявляются повышенные требования к масштабируемости, повторяемости результатов синтеза и удобству встраивания в существующую инфраструктуру проекта.

Описание

IP-ядро DDCex-IP предназначено для цифрового понижающего преобразования комплексного (I/Q) сигнала: децимации, коррекции постоянной составляющей (DC-offset correction) и переноса спектра на промежуточную частоту. IP-ядро DDCex-IP поддерживает программную конфигурацию различных режимов обработки из среды Xilinx Vivado и может встраиваться в ПЛИС и СБИС.

DDCex-IP поддерживает один или два независимых канала обработки. Для каждого канала доступны управляемый коэффициент децимации, опциональный блок коррекции постоянной составляющей, опциональный генератор с числовым управлением (NCO) с режимом генерации синусоидальных

сигналов (DDS). Управление параметрами осуществляется через AXI4-Lite регистры.

Обработка выполняется независимо по каждому каналу. На вход поступают комплексные отсчеты (I/Q) и сигнал valid_in. Сигнал valid_out указывает валидность данных на выходе ядра. В зависимости от выбранного коэффициента децимации меняется частота сигнала valid_out и соответственно частота дискретизации самого сигнала.

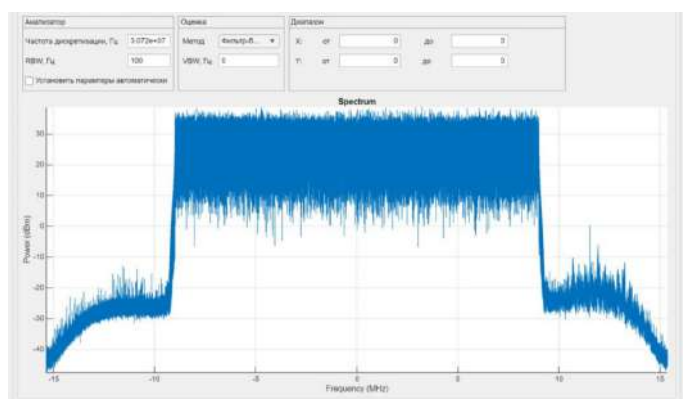


Рисунок 2

На рисунке 2 представлен спектр сигнала на выходе программно-определяемого радио PITM SDR USRP, использующего IP-ядро DDCex-IP для децимации тестового сигнала LTE ETM3.1 в 8 раз (с $F_s = 245.76$ Msps до $F_s = 30.72$ Msps).

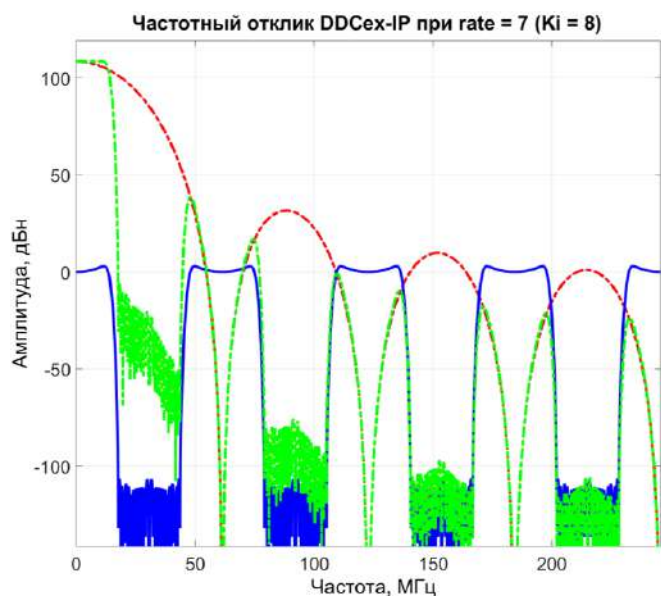


Рисунок 3

Децимация понижает частоту дискретизации $F_{s_out} = F_{s_in} / K$, где K – общий коэффициент децимации. На практике, для снижения вычислительных ресурсов, децимация

реализуется каскадом фильтров: half-band (x2) и CIC (xR), а также компенсационными КИХ-фильтром для коррекции АЧХ CIC

Генератор с числовым управлением NCO реализует перенос частоты на основе фазового аккумулятора. Параметры phase_inc и phase_offset задаются в 32-битном формате int32. Для сценариев отладки и тестирования предусмотрен режим DDS, позволяющий включать встроенные генераторы синусоидального сигнала.

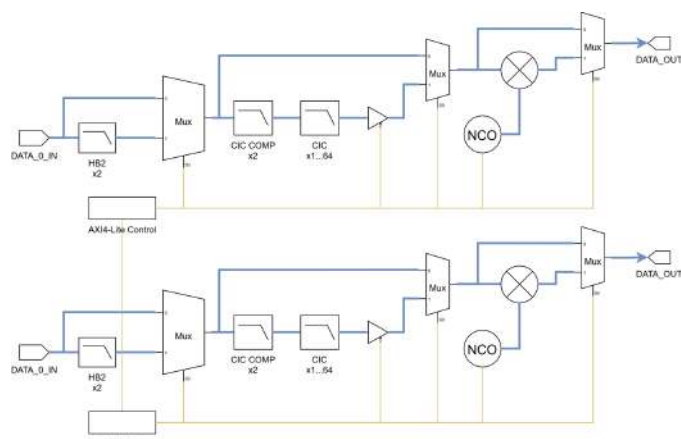


Рисунок 4

Пропускная способность выходного тракта определяется коэффициентом децимации rate и частотой тактирования IPCORE_CLK. При корректной подаче сигналов data и valid_in ядро обеспечивает детерминированную обработку в потоковом режиме.

Задержка (латентность) зависит от конфигурации фильтров (CIC/FIR), включения блока коррекции постоянной составляющей и NCO и определяется глубиной конвейера; для конкретной ПЛИС рекомендуется фиксировать значения по результатам моделирования и временного анализа Vivado.

Технические характеристики

- Архитектура – FIR HB2+FIR CIC COMP+CIC
- Максимальная тактовая частота работы ядра – 550 МГц (Xilinx US+)
- Диапазон регулировки коэффициента децимации – 1,2:2:128
- Ресурсы (1 канал, NCO=0, DC-offset correction=0):
LUT – 3700
DSP – 34
FF – 9400

В IP-ядре DDCex-IP предусмотрена установка настроек из GUI Vivado:

Таблица 1.

Параметр	Значение	Описание
Num Channels	1 или 2	Количество независимых каналов обработки.
Enable DC Offset corrector Ch0	0/1	Включение блока коррекции постоянной составляющей канала 0
Enable DC Offset corrector Ch1	0/1	Включение блока коррекции постоянной составляющей канала 1
Enable NCO Ch0	0/1	Включение блока NCO канала 0
Enable NCO Ch1	0/1	Включение блока NCO канала 1

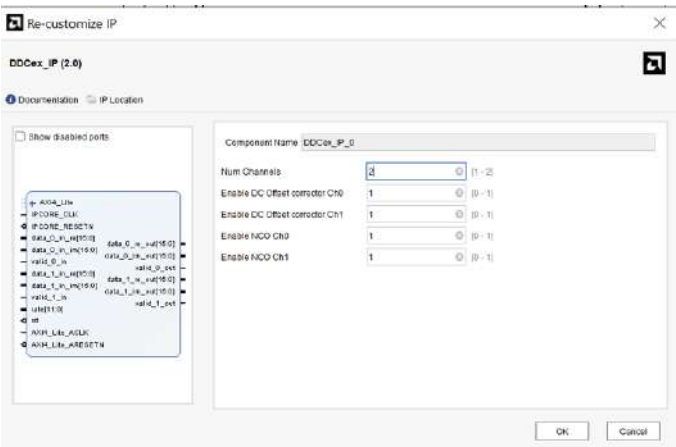


Рисунок 5

Производительность

Производительность тракта определяется коэффициентом децимации rate и частотой тактирования IPCORE_CLK. При корректной подаче сигналов data и valid_in ядро обеспечивает детерминированную обработку в потоковом режиме.

Задержка (латентность) зависит от конфигурации фильтров (CIC/FIR), включения блока коррекции постоянной составляющей и NCO и определяется глубиной конвейера; для конкретной ПЛИС рекомендуется фиксировать значения по результатам моделирования и временного анализа Vivado.

Интеграция

IP-ядро программируемого цифрового понижающего преобразователя DDCex-IP ЦИТМ «Экспонента» всегда доступно для целевых платформ FPGA и СБИС. Для специальных применений возможно использование IP-ядра DDCex-IP в составе специализированных систем на кристалле (СнК).

Интеграция IP-ядра в текущие или будущие проекты возможна в соответствии с любыми требованиями и пожеланиями заказчика. Специалисты ЦИТМ «Экспонента» помогут вам в решении этой задачи.

IP-ядро LTECSex-IP предназначено для работы в составе устройств приёма нисходящего канала LTE и обеспечивает поиск соты (LTE Cell search) с последующей синхронизацией.

Поиск соты — это первый этап, который выполняет пользовательское оборудование (UE) для получения доступа к сети LTE. Данная процедура включает в себя обнаружение сигналов от потенциальных базовых станций (eNodeB) и выбор одной из них для последующей синхронизации. Процесс подразумевает определение идентификатора ячейки на физическом уровне (NCellID) и режима дуплексного разнosa (FDD или TDD). Кроме того, в ходе выполнения этой процедуры UE обеспечивает частотную и временную синхронизацию.

После завершения данного этапа UE может демодулировать OFDM-сигнал, передаваемый базовой станцией, и восстановить главный информационный блок (MIB).

Применение

- Разработка специализированных абонентских терминалов (UE) для частных сетей (Private LTE)
- Сканеры радиоэфира (Cell Scanners): приборы для анализа покрытия сети, поиска свободных каналов или обнаружения помех
- Автономные системы связи в робототехнике и БПЛА, где требуется компактная и энергоэффективная реализация физического уровня (PHY)
- Системы радиоэлектронного мониторинга
- Программно-определяемое радио (SDR)

Архитектура

IP-ядро LTECSex-IP состоит из следующих функциональных блоков:

- Блок оценки частоты
- Блоки коррекции частоты

- Блок обнаружения PSS
- Блок обнаружения SSS
- Блок определения идентификатора соты (NCellID) и определения начальной позиции кадра
- Формирователь символов OFDM



Рисунок 1

Алгоритм работы и сигналы управления

Входной комплексный сигнал поступает на входы dataIn_re и dataIn_im IP-ядра. Наличие отсчётов определяется высоким уровнем сигнала validIn. Для запуска процедуры обнаружения используется входной сигнал start.

Последовательность обнаружения начинается с измерения частотного смещения. Оценка выполняется в течении 10 мс (длительность одного кадра LTE). Далее оценка частоты используется для компенсации частотного смещения. Следующим этапом запускается обнаружение первичного синхросигнала (PSS) и оценка его временного положения. Интервал поиска также составляет 10мс. Для обнаружения предпринимается несколько попыток. Если PSS обнаружен, то на последующих кадрах происходит поиск вторичного синхросигнала (SSS) в известных временных позициях. В зависимости от взаимного временного положения PSS и SSS определяется режим дуплекса FDD или TDD. На основе определённых индексов PSS и SSS вычисляется идентификатор соты NCellID. Далее, поскольку индекс SSS различается

для первой и второй половины кадра LTE, выполняется вычисление точного временного положения начала LTE кадра. В момент ближайшего начала кадра запускается формирователь символов OFDM, на выходе которого формируется блоки данных соответствующие одному символу. Далее эти данные могут быть обработаны с помощью OFDM-демодулятора (рекомендуется использование IP-ядра OFDMex-IP). Кроме того формирователь символов обеспечивает функцию следящей временной синхронизации. Благодаря этому временное положение извлекаемых OFDM символов всегда жёстко привязано к положению PSS, что критически важно для качественной демодуляции.

В IP-ядре LTECSex-IP предусмотрена возможность постоянной коррекции частотного сдвига при включении следящей частотной синхронизации. При этом оценка частоты выполняется каждые 10 мс.

На рисунке 2 показан пример дизайна системы с использованием IP-ядра LTECSex-IP.

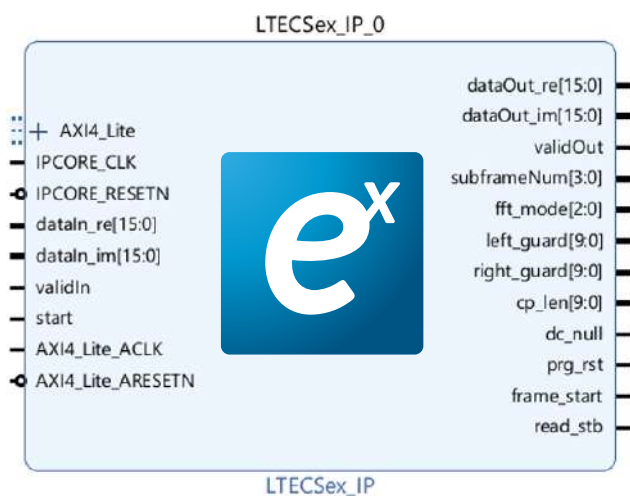


Рисунок 2

Технические характеристики

Допустимые параметры входного сигнала:

- Тип сигнала – LTE Downlink (нисходящий канал)
- Режим LTE – Normal mode
- Режимы дуплекса – FDD, TDD
- Длина FFT – 2048
- Максимальный частотный сдвиг – $\pm 7,5$ кГц

Типовые потребляемые ресурсы Zynq UltraScale+ MPSoCs (такт. частота: 446 МГц):

- CLB LUTs – 10349
- CLB Registers – 18312
- DSPs(DSP48E2) – 72
- BRAM – 15

Тестирование и симуляция

Для тестирования и симуляции IP-ядра LTECSex-IP возможна поставка завершённого тестового окружения реализованного с помощью языков описания Verilog/VHDL с привязкой к конкретному типу симулятора: Mentor Graphics ModelSim/Cadence Incisive/AMD Vivado Simulator.

Интеграция

IP-ядро LTECSex-IP ЦИТМ «Экспонента» всегда доступно для целевых платформ FPGA и СБИС. При наличии специфических требований возможно рассмотрение доработки ядра. Для специальных применений возможно использование IP-ядра LTECSex-IP в составе специализированных СнК.

Интеграция IP-ядра в текущие или будущие проекты возможна в соответствии с любыми требованиями и пожеланиями заказчика. Специалисты ЦИТМ «Экспонента» помогут вам в решении этой задачи.

IP-ядро LTEQex-IP предназначено для работы в приёмном тракте систем связи стандарта LTE и обеспечивает компенсацию искажений внесённых радиоканалом и минимизацию влияния шума. IP-ядро выполняет цифровую обработку сигнала в частотной области (после OFDM-демодулятора) и формирует восстановленные и нормализованные символы для последующей демодуляции и декодирования.

Применение

- Разработка специализированных абонентских терминалов (UE) для частных сетей (Private LTE)
- Интеграция в ASIC или FPGA-платформы телеком назначения
- Автономные системы связи в робототехнике и БПЛА, где требуется компактная и энергоэффективная реализация физического уровня (PHY)
- Тестовое и измерительное оборудование
- Программно-определяемое радио (SDR)

Архитектура

В приёмном устройстве LTE нисходящей линии связи (Downlink, DL) эквалайзер является критически важным блоком цифровой обработки сигналов (DSP). Его основная функция — компенсация искажений, внесённых радиоканалом, для корректного восстановления переданных символов модуляции. Работа эквалайзера основана на определении оценки канала с использованием специальных опорных сигналов предусмотренных стандартом LTE (CRS). Опорные сигналы являются специфичными для конкретной соты. Расположение опорных сигналов и их значение зависит от идентификатора соты NCellID. Опорные сигналы уникальны для каждого подкадра, а их расположение в ресурсной сетке обеспечивает минимальное взаимное влияние.

IP-ядро LTEQex-IP состоит из следующих функциональных блоков:

- Блок оценки канала
- Блок формирования опорных сигналов
- Блок усреднения оценок канала
- Блок интерполяции оценок канала
- Блок эквалайзера (Zero Forcing)



Рисунок 1

Блок оценки канала извлекает CRS из принятого сигнала, зная их позицию и последовательность. Поскольку CRS расположены разрежено (каждые 6 поднесущих по частоте и каждые 3-4 символа по времени), требуется интерполятор для восстановления оценки в точках данных пользовательского канала PDSCH.

При низких значениях SNR требуется снижение дисперсии шума в оценках канала. С этой целью оценки канала необходимо усреднять при сохранении способности отслеживать реальные изменения канала во времени и частоте.

Алгоритм работы и сигналы управления

Входной комплексный сигнал поступает на входы data_in_re и data_in_im IP-ядра. Наличие отсчётов определяется высоким уровнем сигнала valid_in. Источником входного сигнала как правило является OFDM-демодулятор (рекомендуется использовать IP-ядро OFDMex-IP).

Блок оценки канала извлекает ресурсные элементы CRS, позиции которых в ресурсной сетке LTE известны заранее.

Одновременно из блока памяти поступают соответствующие опорные значения CRS. В результате вычислений формируется оценка канала для позиций соответствующим положению элементов CRS.

В случае необходимости оценки канала подвергаются усреднению с помощью блока усреднения. Окно усреднения является прямоугольной областью на ресурсной сетке и охватывает определённое количество CRS элементов. Размеры окна отдельно могут быть настроены вдоль осей времени и частоты.

Для компенсации искажений на всей ресурсной сетке с помощью блока интерполяции по значениям оценок CRS строится сплошная сетка оценок по размерности совпадающая с исходной ресурсной сеткой.

Совмещённые во времени ресурсная сетка и сетка оценок поступают на блок эквалайзера. Значения элементов исходной ресурсной сетки делятся на значения из интерполированной сетки оценок в результате чего получается исправленная и нормированная ресурсная сетка.

На рисунке 2 показан пример дизайна системы с использованием IP-ядра LTEQex-IP.

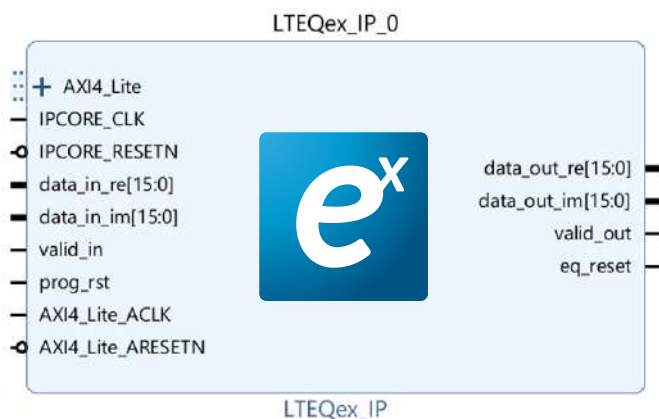


Рисунок 2

Технические характеристики

Допустимые параметры входного сигнала:

- Тип сигнала – LTE Downlink (нисходящий канал)
- Режим LTE – Normal mode
- Режимы дуплекса – FDD
- NDLRB – 100
- NCell ID – 1

Типовые потребляемые ресурсы Zynq UltraScale+ MPSoCs (такт. частота: 372 МГц)

- CLB LUTs – 7298
- CLB Registers – 12224
- DSPs(DSP48E2) – 54
- BRAM – 50.5
- URAM – 3

Тестирование и симуляция

Для тестирования и симуляции IP-ядра LTEQex-IP возможна поставка завершённого тестового окружения реализованного с помощью языков описания Verilog/VHDL с привязкой к конкретному типу симулятора: Mentor Graphics ModelSim/Cadence Incisive/AMD Vivado Simulator.

Интеграция

IP-ядро LTEQex-IP ЦИТМ «Экспонента», всегда доступно для целевых платформ FPGA и СБИС. При наличии специфических требований возможно рассмотрение доработки ядра. Для специальных применений возможно использование IP-ядра LTEQex-IP в составе специализированных СнК.

Интеграция IP-ядра в текущие или будущие проекты возможна в соответствии с любыми требованиями и пожеланиями заказчика. Специалисты ЦИТМ «Экспонента» помогут вам в решении этой задачи.

Извлечение элементов PDSCH из ресурсной сетки LTE

Система мобильной связи LTE использует ортогональное частотное мультиплексирование OFDM для передачи данных в нисходящем канале. Передаваемые сигналы организованы в двумерную ресурсную сетку, состоящую из поднесущих и OFDM-символов.

В рамках данной сетки различные физические каналы и сигналы занимают определённые ресурсные элементы. Основной пользовательский трафик передается через канал Physical Downlink Shared Channel (PDSCH).

Однако ресурсные элементы PDSCH не образуют непрерывной области в ресурсной сетке. Часть элементов используется для:

- управляющих каналов
- опорных сигналов
- сигналов синхронизации
- служебных физических каналов

На рисунке 1 показан пример фрагмента ресурсной сетки для нисходящего канала. Элементом PDSCH соответствуют белые клетки.

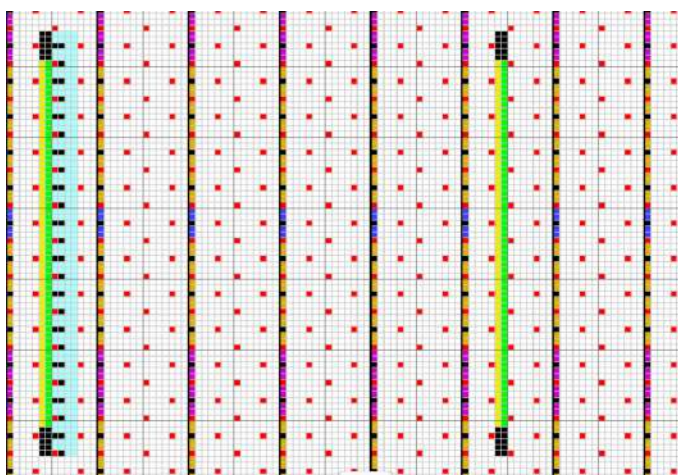


Рисунок 1

При реализации приёмного устройства LTE необходимо выполнять выделение ресурсных элементов PDSCH с исключением всех остальных типов сигналов.

Описание

IP-ядро LTE-SCHex-IP предназначено для потокового извлечения ресурсных элементов PDSCH из входной ресурсной сетки.

Поток комплексных значений, соответствующих ресурсным элементам ресурсной сетки поступает на вход IP-ядра после OFDM-демодуляции и эквализации. Кроме того на вход поступает сигнал `valid_in`.

В IP-ядре реализован потоковый алгоритм выполняющий следующую последовательность операций:

- Определения номера подкадра
- Определение позиции ресурсного элемента
- Проверку принадлежности элементу опорного сигнала
- Проверку принадлежности служебным сигналам
- Формирование потока элементов соответствующих PDSCH

На выходе ядра формируется поток комплексных отсчётов элементов PDSCH и сигнал `valid_out`.

Дополнительно в IP-ядре предусмотрена возможность ограничения количества элементов PDSCH извлекаемых из одного кадра. Настройка осуществляется по шине AXI4-Lite.

На рисунке 2 показан пример дизайна системы с использованием IP-ядра LTE-SCHex-IP.

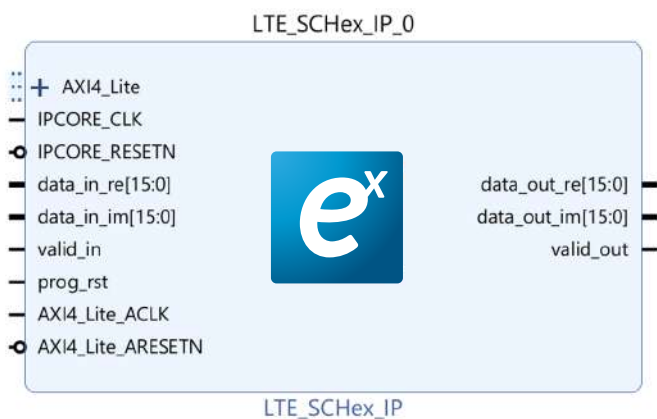


Рисунок 2

Технические характеристики

Параметры входного сигнала:

- Режим дуплекса – FDD
- NDLRB – 100
- NCellID – 1

Парметры IP-ядра:

- Максимальная тактовая частота работы ядра – 740 МГц (Xilinx US+)
- Ресурсы :
LUT – 123
FF – 162

Интеграция

IP-ядро LTE-SCHex-IP ЦИТМ «Экспонента» всегда доступно для целевых платформ FPGA и СБИС. Для специальных применений возможно использование IP-ядра LTE-SCHex-IP в составе специализированных систем на кристалле (СнК).

Интеграция IP-ядра в текущие или будущие проекты возможна в соответствии с любыми требованиями и пожеланиями заказчика. Специалисты ЦИТМ «Экспонента» помогут вам в решении этой задачи.

Свяжитесь с нами, чтобы узнать больше технических подробностей!



+7 (495) 009 65 85



info@exponenta.ru



www.exponenta.ru