

Программируемый цифровой понижающий преобразователь

Современные системы радиосвязи, беспроводной передачи данных, радиолокации и радионавигации требуют высокосортной цифровой обработки комплексных отсчётов сигнала. В цифровом приёмном тракте необходимо изменять частоту дискретизации и выполнять перенос спектра на промежуточную частоту при сохранении потокового режима обработки. При этом зачастую есть потребность в обнаружении наличия искажений во входном сигнале. Например, таких как наличие постоянной составляющей.

Реализация этих функций в виде переиспользуемого IP-ядра снижает сроки разработки и упрощает интеграцию в ПЛИС/СБИС или СнК.

Для снижения потенциальных затрат и ускорения разработки компания ЦИТМ «Экспонента» предлагает IP-ядро собственной разработки DDCex-IP, ориентированное на построение цифровых трактов радиоприёмных устройств широкого спектра применения.

DDCex-IP представляет собой параметризуемое IP-ядро цифрового понижающего преобразователя, ориентированное на применение в составе современных решений на основе ПЛИС/СБИС или СнК. IP-ядро DDCex-IP реализует полный набор базовых функций цифрового приёмного тракта: понижение частоты дискретизации за счёт децимации, цифровой частотный перенос с использованием встроенного NCO, а также обнаружение и коррекция постоянной составляющей (DC-offset correction) входного сигнала. Архитектура IP-ядра DDCex-IP обеспечивает работу с комплексными сигналами I/Q, поддерживает одно- и двухканальный режимы обработки и допускает гибкую настройку параметров как на этапе синтеза и имплементации IP-ядра DDCex-IP, так и в процессе эксплуатации.

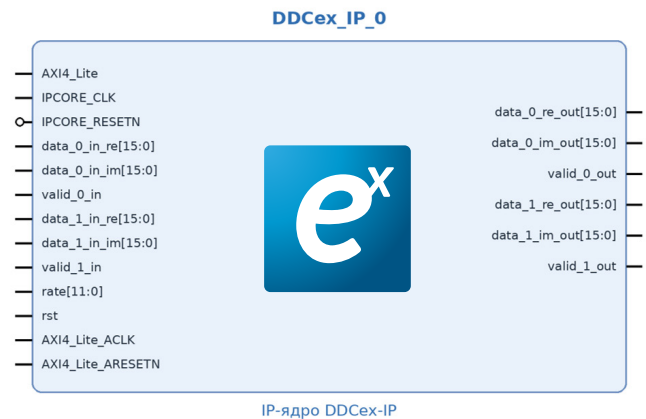


Рисунок 1

IP-ядро DDCex-IP предназначено для разработчиков цифровых приёмных трактов, которым требуется готовое, воспроизводимое и интегрируемое решение для построения каналов обработки сигнала в реальном времени. IP-ядро DDCex-IP может использоваться как самостоятельный функциональный блок в составе радиотракта, так и как часть более сложных систем цифровой обработки сигналов, в которых предъявляются повышенные требования к масштабируемости, повторяемости результатов синтеза и удобству встраивания в существующую инфраструктуру проекта.

Описание

IP-ядро DDCex-IP предназначено для цифрового понижающего преобразования комплексного (I/Q) сигнала: децимации, коррекции постоянной составляющей (DC-offset correction) и переноса спектра на промежуточную частоту. IP-ядро DDCex-IP поддерживает программную конфигурацию различных режимов обработки из среды Xilinx Vivado и может встраиваться в ПЛИС и СБИС.

DDCex-IP поддерживает один или два независимых канала обработки. Для каждого канала доступны управляемый коэффициент децимации, опциональный блок коррекции постоянной составляющей, опциональный генератор с числовым управлением (NCO) с режимом генерации синусоидальных

сигналов (DDS). Управление параметрами осуществляется через AXI4-Lite регистры.

Обработка выполняется независимо по каждому каналу. На вход поступают комплексные отсчеты (I/Q) и сигнал valid_in. Сигнал valid_out указывает валидность данных на выходе ядра. В зависимости от выбранного коэффициента децимации меняется частота сигнала valid_out и соответственно частота дискретизации самого сигнала.

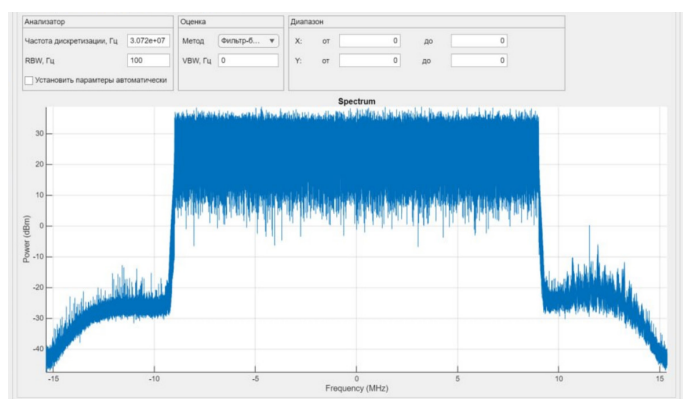


Рисунок 2

На рисунке 2 представлен спектр сигнала на выходе программно-определяемого радио PITM SDR USRP, использующего IP-ядро DDCex-IP для децимации тестового сигнала LTE ETM3.1 в 8 раз (с $F_s = 245.76$ Msps до $F_s = 30.72$ Msps).

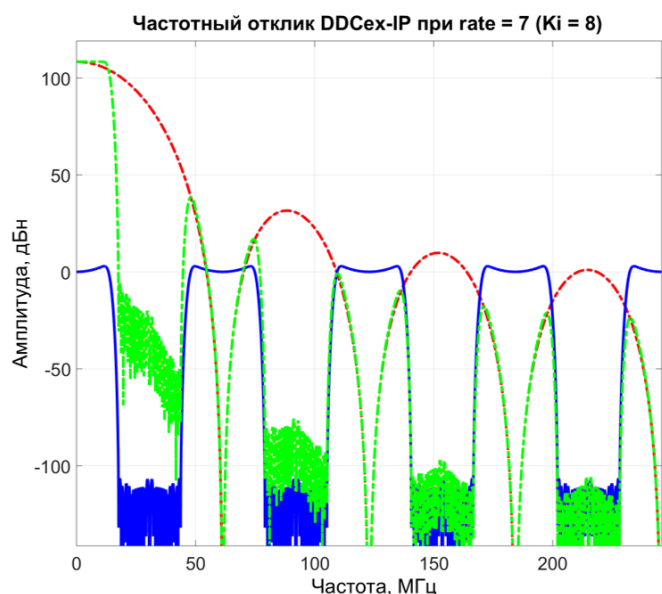


Рисунок 3

Децимация понижает частоту дискретизации $F_{s_out} = F_{s_in} / K$, где K – общий коэффициент децимации. На практике, для снижения вычислительных ресурсов, децимация

реализуется каскадом фильтров: half-band (x2) и CIC (xR), а также компенсационными КИХ-фильтром для коррекции АЧХ CIC.

Генератор с числовым управлением NCO реализует перенос частоты на основе фазового аккумулятора. Параметры phase_inc и phase_offset задаются в 32-битном формате int32. Для сценариев отладки и тестирования предусмотрен режим DDS, позволяющий включать встроенные генераторы синусоидального сигнала.

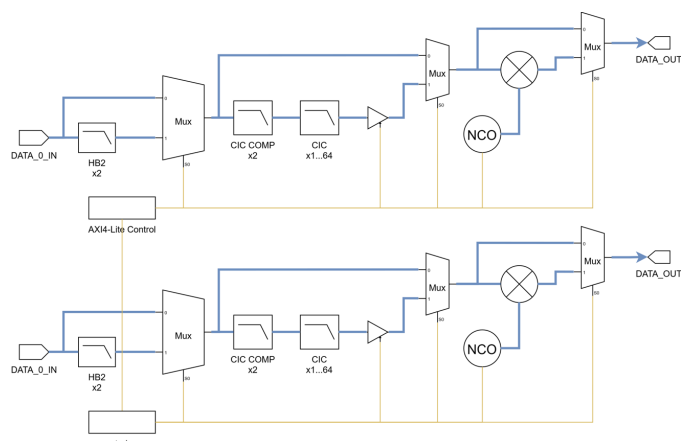


Рисунок 4

Пропускная способность выходного тракта определяется коэффициентом децимации rate и частотой тактирования IPCORE_CLK. При корректной подаче сигналов data и valid_in ядро обеспечивает детерминированную обработку в потоковом режиме.

Задержка (латентность) зависит от конфигурации фильтров (CIC/FIR), включения блока коррекции постоянной составляющей и NCO и определяется глубиной конвейера; для конкретной ПЛИС рекомендуется фиксировать значения по результатам моделирования и временного анализа Vivado.

Технические характеристики

- Архитектура – FIR HB2+FIR CIC COMP+CIC
- Максимальная тактовая частота работы ядра – 550 МГц (Xilinx US+)
- Диапазон регулировки коэффициента децимации – 1,2:2:128
- Ресурсы (1 канал, NCO=0, DC-offset correction=0):
LUT – 3700
DSP – 34
FF – 9400

В IP-ядре DDCex-IP предусмотрена установка настроек из GUI Vivado:

Таблица 1.

Параметр	Значение	Описание
Num Channels	1 или 2	Количество независимых каналов обработки.
Enable DC Offset corrector Ch0	0/1	Включение блока коррекции постоянной составляющей канала 0
Enable DC Offset corrector Ch1	0/1	Включение блока коррекции постоянной составляющей канала 1
Enable NCO Ch0	0/1	Включение блока NCO канала 0
Enable NCO Ch1	0/1	Включение блока NCO канала 1

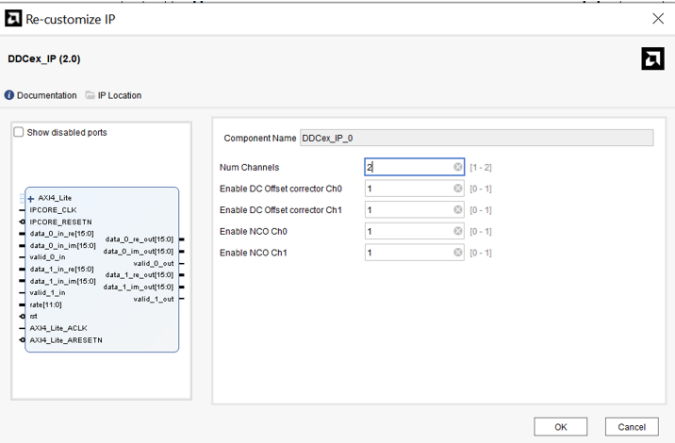


Рисунок 5

Производительность

Производительность тракта определяется коэффициентом децимации rate и частотой тактирования IPCORE_CLK. При корректной подаче сигналов data и valid_in ядро обеспечивает детерминированную обработку в потоковом режиме.

Задержка (латентность) зависит от конфигурации фильтров (CIC/FIR), включения блока коррекции постоянной составляющей и NCO и определяется глубиной конвейера; для конкретной ПЛИС рекомендуется фиксировать значения по результатам моделирования и временного анализа Vivado.

Интеграция

IP-ядро программируемого цифрового понижающего преобразователя DDCex-IP ЦИТМ «Экспонента» всегда доступно для целевых платформ FPGA и СБИС. Для специальных применений возможно использование IP-ядра DDCex-IP в составе специализированных систем на кристалле (СнК).

Интеграция IP-ядра в текущие или будущие проекты возможна в соответствии с любыми требованиями и пожеланиями заказчика. Специалисты ЦИТМ «Экспонента» помогут вам в решении этой задачи.

Свяжитесь с нами, чтобы узнать больше технических подробностей!

+7 (495) 009 65 85

info@exponenta.ru

www.exponenta.ru