

DVB-S2X LDPC DECODER

Стандарт DVB-S2X (Digital Video Broadcasting - Satellite - Second Generation Extension) представляет собой расширение широко распространенного стандарта DVB-S2, направленное на повышение эффективности передачи данных в спутниковых системах связи. Одним из ключевых компонентов этого стандарта является использование кодов с малой плотностью проверок на чётность (LDPC), обеспечивающих высокую степень коррекции ошибок при сохранении разумной вычислительной сложности.

Нововведением стандарта S2X является структура LDPC-матриц. Она была переработана относительно S2 для минимизации конфликтов при параллельной обработке, а также для лучшей сходимости итеративного декодирования, что позволяет достичь более высокой энергетической эффективности (т.е. более низкой вероятности ошибок при заданном уровне SNR). Всё это делает LDPC-коды DVB-S2X более гибкими, производительными и лучше приспособленными к современным требованиям спутниковой связи.

IP-ядро DVB-S2X LDPC DECODERex-IP предназначено для обеспечения целостной передачи данных в системах спутниковой связи. Компания ЦИТМ «Экспонента» разработала архитектуру высокоскоростного декодера, полностью соответствующий современному стандарту связи DVB-S2X. Архитектура IP-ядра не привязана к конкретному производителю ПЛИС/СБИС, что повышает гибкость и независимость, разрабатываемых систем радиосвязи.

Ключевой особенностью поставляемого IP-ядра является использование максимальной параллельности, допустимой структурой LDPC кодов. Это позволяет максимально быстро завершать обработку каждой итерации декодирования, тем самым повышая пропускную способность.

В разработанном LDPC декодере используется

алгоритм Min-Sum. Благодаря этому декодер сохраняет высокую помехоустойчивость, соответствующую требованиям стандарта, при этом оставаясь эффективным по ресурсам и хорошо подходящим для аппаратной реализации.

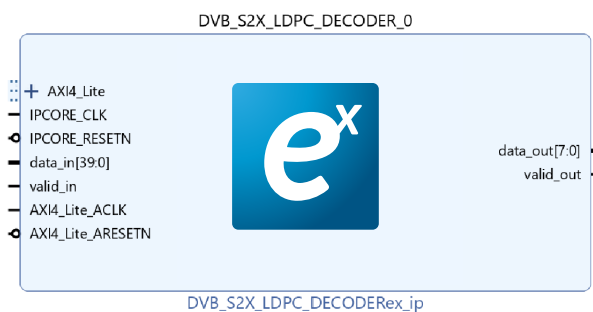


Рисунок 1. Блок IP-ядра

Описание

Структурно IP-ядро можно разделить на:

- 1) интерфейс преобразования параллельности LLR из 5 в 360
- 2) интерливер проверок на четность (parity shuffler)
- 3) декодер
- 4) интерфейс преобразования параллельности бит из 360 в 8

Интерливер проверок на четность может быть убран на этапе настройки IP-ядра в блок дизайне.

За основу IP-ядра взят хорошо известный Layered декодер с алгоритмом Normalized Min-Sum. Normalized Min-Sum является упрощённой версией Belief Propagation. Его суть — замена сложных вычислений на простые операции сравнения и суммирования. Данный алгоритм позволяет значительно сократить аппаратные ресурсы, сохраняя достаточную эффективность.

Высокоскоростное декодирование осуществляется за счет параллелизма размером 360. При частоте тактирования

200 МГц максимальная пропускная способность выходного потока одного декодера может составляет 800 Мбит/с при 6 итерациях декодирования. Также блок поддерживает все скорости стандарта связи DVB-S2X для NORMAL FECFRAME, кроме тех, что относятся к DVB-S2. Переключение кодовых скоростей и числа итераций осуществляется по интерфейсу AXI4-Lite и может изменяться от кадра к кадру. В таблице 1 представлены аппаратные ресурсы поставляемого IP-ядра, а в таблице 2 достигаемые битовые скорости на входе и выходе декодера, соответственно, для различных кодовых скоростей стандарта S2X при тактовой частоте ядра $F_{clk} = 200$ МГц и 6 итерациях декодирования.

Таблица 1. Аппаратные ресурсы для *xczu15eg-ffvb1156-2-i*

Аппаратные ресурсы FPGA	Количество ресурсов
LUT	69603
FF	59381
BRAM	82
DSP	360

Таблица 2. Пропускная способность для *xczu15eg-ffvb1156-2-i*

CodeRate	Кодовая скорость	Пропускная способность, Мбит/с
1	2/9	763/170
2	13/45	681/681
3	9/20	771/223
4	90/180	753/376
5	96/180	721/385
6	11/20	733/403
7	100/180	753/418
8	104/180	709/410
9	26/45	704/407
10	18/30	676/406
11	28/45	785/489
12	23/36	821/525
13	116/180	712/459
14	20/30	910/607
15	124/180	936/645
16	25/36	993/690
17	128/180	944/671
18	13/18	1014/732

19	132/180	939/688
20	22/30	917/673
21	135/180	966/725
22	140/180	906/704
23	7/9	986/767
24	154/180	936/801

На рисунке 2 показана вероятность битовой ошибки для кодовой скорости 13/18 при 6 итерациях.

Вход *data_in* IP-ядра принимает 5 параллельных 8-битных LLR (40-битная шина), а выход *data_out* отдает 8 параллельных декодированных бит. Сигналы *valid_in* и *valid_out* сообщают о валидности соответствующих по имени портов данных.

Все управляемые параметры и сброс вынесены на AXI4-Lite шину:

- Кодовая скорость
- Число итераций декодирования
- Коэффициент нормализации

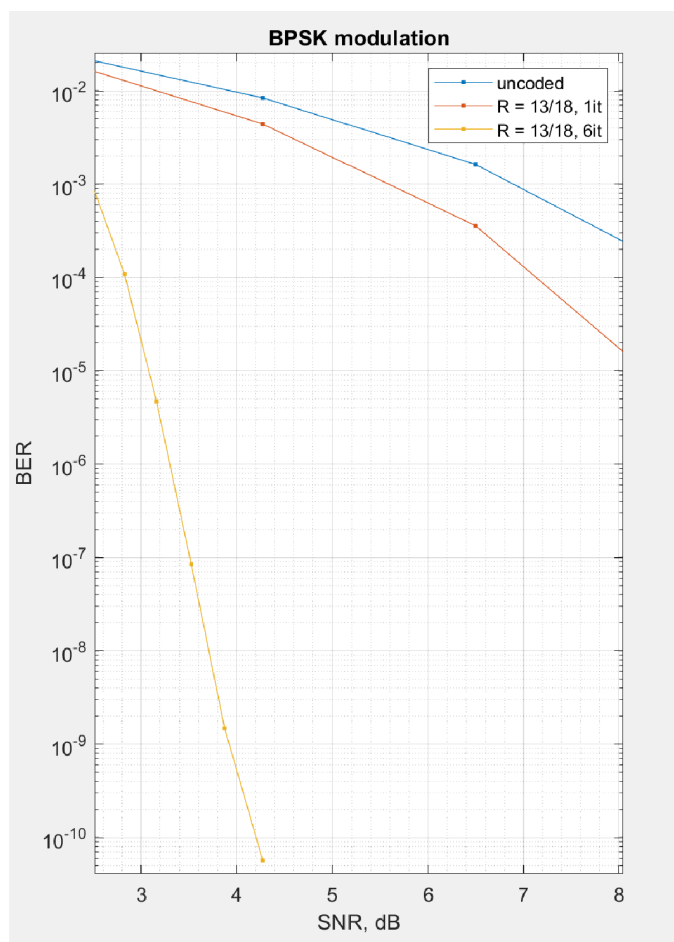


Рисунок 2. Графики BER

Технические характеристики

- Полное соответствие стандарту ETSI EN 302 307-2 V1.1.1 (DVB-S2X)
- Поддержка кадров нормальной длины (Normal FECFRAME, 64800 бит)
- Поддержка кодовых скоростей DVB-S2X
- Возможность изменения кодовых скоростей и итераций от кадра к кадру (ACM, CCM, VCM режимы)
- Высокая надежность и пропускная способность

Интеграция

Дополнительно к IP-ядру может быть поставлен LDPC кодер, соответствующий стандарту DVB-S2X. IP-ядро DVB-S2X LDPC DECODERex-IP ЦИТМ «Экспонента», всегда доступно для целевых платформ FPGA и СБИС. Для специальных применений возможно использование IP-ядра в составе специализированных СнК.

Интеграция IP-ядра в текущие или будущие проекты возможна в соответствии с любыми требованиями и пожеланиями заказчика. Специалисты ЦИТМ «Экспонента» помогут вам в решении этой задачи.

Свяжитесь с нами, чтобы узнать больше технических подробностей!



+7 (495) 009 65 85



info@exponenta.ru



www.exponenta.ru