

IP-ядро FFTex-IP предназначено для выполнения операций БПФ/ОБПФ различной длины над входными данными, представленными в виде квадратурных отсчётов комплексного сигнала.

Применение

- Базовые станции 3G/4G/LTE/5G NR: IP-ядро используется для обработки сигналов в базовых станциях мобильной связи, обеспечивая высокую производительность и гибкость конфигурации
- Системы связи с OFDM модуляцией: IP-ядро идеально подходит для OFDM модуляторов и демодуляторов, используемых в различных стандартах беспроводной связи.
- Радиолокационные системы: применение в радиолокационных системах для быстрой обработки отражённых сигналов и повышения точности детекции.
- Спутниковая связь и навигация: обеспечение высокопроизводительной обработки сигналов для систем спутниковой связи и навигации, таких как GPS и ГЛОНАСС

Архитектура

IP-ядро FFTex-IP реализовано на основе архитектуры Streaming Radix-4.

Streaming Radix-4 – архитектура потоковой обработки данных, обладает высокой производительностью и предназначена для использования в составе OFDM модуляторов стандартных (IEEE 802.11n/ac/ax, /LTE/LTE-A/5G NR) и специальных систем связи.

IP-ядро FFTex-IP можно использовать для демодуляции данных стандарта LTE (TS 36.212) с различным количеством ресурсных блоков: 6, 15, 25, 50, 100 - что соответствует частотам дискретизации: 1.92 МГц, 3.84 МГц, 7.68 МГц, 15.36 МГц, 30,72 МГц и полосам пропускания(BW) канала, соответственно: 1.4 МГц, 3 МГц, 5 МГц, 10 МГц, 20 МГц.

Архитектура Streaming Radix-4

Потоковая архитектура Radix-4 имеет минимальную задержку обработки сигнала. Данная архитектура отличается от стандартного решения Radix-2, основанного на перегруппировки и разделении БПФ/ОБПФ. Архитектура Radix-4 имеет $\log_4(N)$ стадий, N - длина БПФ. Каждая стадия содержит два примитива с задержкой обратной связи(SDF). На рисунке 1 представлена структура примитива SDF.

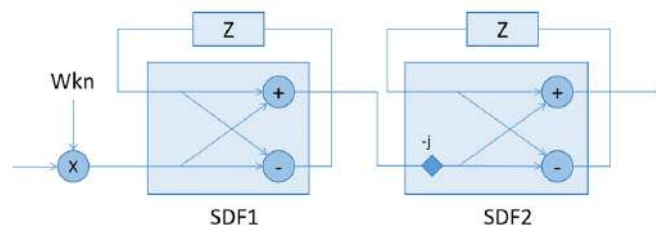


Рисунок 1

Опционально доступно округление и масштабирование на каждой операции типа «бабочка».

IP-ядро FFTex-IP позволяет изменять тип преобразования с БПФ на ОБПФ и обратно без переконфигурации ядра.

Сигналы управления и временные диаграммы

Выполнение операций алгоритма начинается после установки сигнала `valid_in` в значение логической «1». Полезные выходные данные появляются после установки `valid_out` в значение логической «1». Управляющий порт `fft_len` определяет размер БПФ/ОБПФ преобразования для текущего кадра, Предусмотрен порт сброса состояния IP-ядра FFTex-IP - `reset`, по сигналу от которого, происходит общий сброс всех регистров внутри блока.

При использовании блока в составе OFDM-демодулятора, предполагается наличие контроллера входных и выходных данных, который должен формировать данные в

соответствии с требуемым количеством ресурсных блоков NRB и частотой дискретизации входных данных. На рисунке 2 представлены временные диаграммы сигналов на входе и выходе IP-ядро FFTex-IP работающего в составе OFDM демодулятора с параметрами: $fft_len = 4$ (100 ресурсных блоков), $fs = 30.72$ МГц.

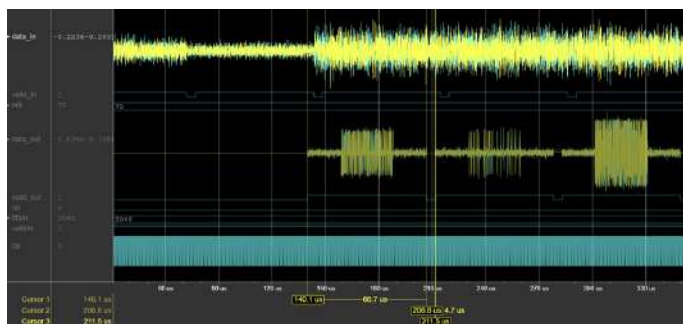


Рисунок 2

На данной временной диаграмме можно увидеть, что длительность выходного валидного OFDM-блока, как раз соответствует длительности кадра LTE (TS 36.212) – 66,7 мкс.

На рисунке 3 представлены временные диаграммы сигналов на входе и выходе IP-ядро FFTex-IP работающего в составе OFDM демодулятора с параметрами: $nrb = 0$ (6 ресурсных блоков), $fs = 30.72$ МГц.

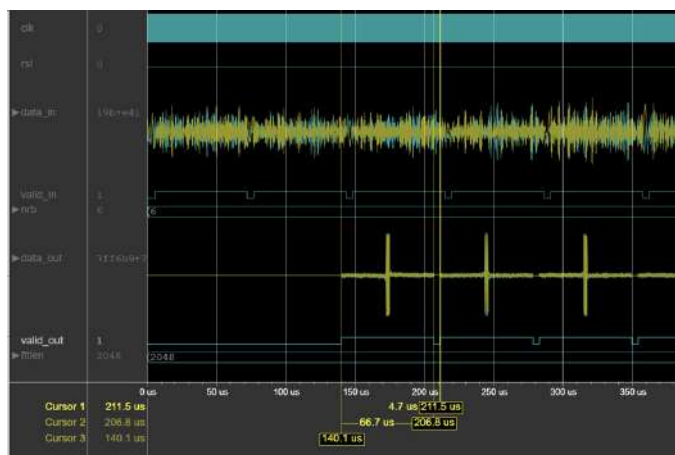


Рисунок 3

На данной временной диаграмме можно увидеть, что длительность полезных данных уменьшилась и соответствует количеству используемых ресурсных блоков.

Технические характеристики

- Архитектура
 - o Streaming Radix-4
- Максимальная тактовая частота работы ядра – 460 МГц (Xilinx Zynq7100/ Zynq7045/ Kintex-7)
- Максимальное значение длины БПФ – 048
- Минимальное значение длины БПФ – 28
- Поддержка конфигурации количества ресурсных блоков для LTE (TS 36.212)
 - o 6, 15, 25, 50, 100
- LUT – 4749
- DSP – 18
- FF – 11831
- RAMB36E1 – 21

Тестирование и симуляция

Для тестирования и симуляции IP-ядро FFTex-IP возможна поставка завершённого тестового окружения реализованного с помощью языков описания Verilog/VHDL с привязкой к конкретному типу симулятора: Mentor Graphics ModelSim/Cadence Incisive/ Xilinx Vivado Simulator.

Интеграция

IP-ядро FFTex-IP ЦИТМ «Экспонента», всегда доступно для целевых платформ FPGA и СБИС. Для специальных применений возможно использование IP-ядро FFTex-IP в составе специализированных СнК.

Интеграция IP-ядро в текущие или будущие проекты возможна в соответствии с любыми требованиями и пожеланиями заказчика. Специалисты ЦИТМ «Экспонента» помогут вам в решении этой задачи.

Свяжитесь с нами, чтобы узнать больше технических подробностей!

+7 (495) 009 65 85

info@exponenta.ru

www.exponenta.ru