

IP-ядро LTECSex-IP предназначено для работы в составе устройств приёма нисходящего канала LTE и обеспечивает поиск соты (LTE Cell search) с последующей синхронизацией.

Поиск соты — это первый этап, который выполняет пользовательское оборудование (UE) для получения доступа к сети LTE. Данная процедура включает в себя обнаружение сигналов от потенциальных базовых станций (eNodeB) и выбор одной из них для последующей синхронизации. Процесс подразумевает определение идентификатора ячейки на физическом уровне (NCellID) и режима дуплексного разнеса (FDD или TDD). Кроме того, в ходе выполнения этой процедуры UE обеспечивает частотную и временную синхронизацию.

После завершения данного этапа UE может демодулировать OFDM-сигнал, передаваемый базовой станцией, и восстановить главный информационный блок (MIB).

Применение

- Разработка специализированных абонентских терминалов (UE) для частных сетей (Private LTE)
- Сканеры радиоэфира (Cell Scanners): приборы для анализа покрытия сети, поиска свободных каналов или обнаружения помех
- Автономные системы связи в робототехнике и БПЛА, где требуется компактная и энергоэффективная реализация физического уровня (PHY)
- Системы радиоэлектронного мониторинга
- Программно-определяемое радио (SDR)

Архитектура

IP-ядро LTECSex-IP состоит из следующих функциональных блоков:

- Блок оценки частоты
- Блоки коррекции частоты

- Блок обнаружения PSS
- Блок обнаружения SSS
- Блок определения идентификатора соты (NCellID) и определения начальной позиции кадра
- Формирователь символов OFDM

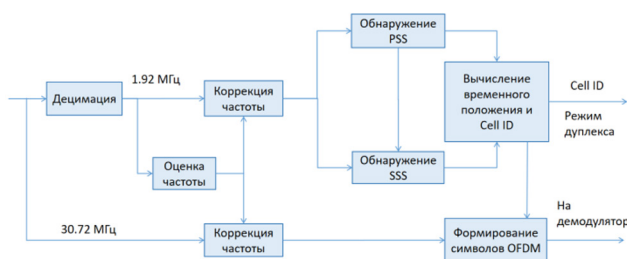


Рисунок 1

Алгоритм работы и сигналы управления

Входной комплексный сигнал поступает на входы dataIn_re и dataIn_im IP-ядра. Наличие отсчётов определяется высоким уровнем сигнала validIn. Для запуска процедуры обнаружения используется входной сигнал start.

Последовательность обнаружения начинается с измерения частотного смещения. Оценка выполняется в течении 10 мс (длительность одного кадра LTE). Далее оценка частоты используется для компенсации частотного смещения. Следующим этапом запускается обнаружение первичного синхросигнала (PSS) и оценка его временного положения. Интервал поиска также составляет 10мс. Для обнаружения предпринимается несколько попыток. Если PSS обнаружен, то на последующих кадрах происходит поиск вторичного синхросигнала (SSS) в известных временных позициях. В зависимости от взаимного временного положения PSS и SSS определяется режим дуплекса FDD или TDD. На основе определённых индексов PSS и SSS вычисляется идентификатор соты NCellID. Далее, поскольку индекс SSS различается

для первой и второй половины кадра LTE, выполняется вычисление точного временного положения начала LTE кадра. В момент ближайшего начала кадра запускается формирователь символов OFDM, на выходе которого формируется блоки данных соответствующие одному символу. Далее эти данные могут быть обработаны с помощью OFDM-демодулятора (рекомендуется использование IP-ядра OFDMex-IP). Кроме того формирователь символов обеспечивает функцию следящей временной синхронизации. Благодаря этому временное положение извлекаемых OFDM символов всегда жёстко привязано к положению PSS, что критически важно для качественной демодуляции.

В IP-ядре LTECSex-IP предусмотрена возможность постоянной коррекции частотного сдвига при включении следящей частотной синхронизации. При этом оценка частоты выполняется каждые 10 мс.

На рисунке 2 показан пример дизайна системы с использованием IP-ядра LTECSex-IP.

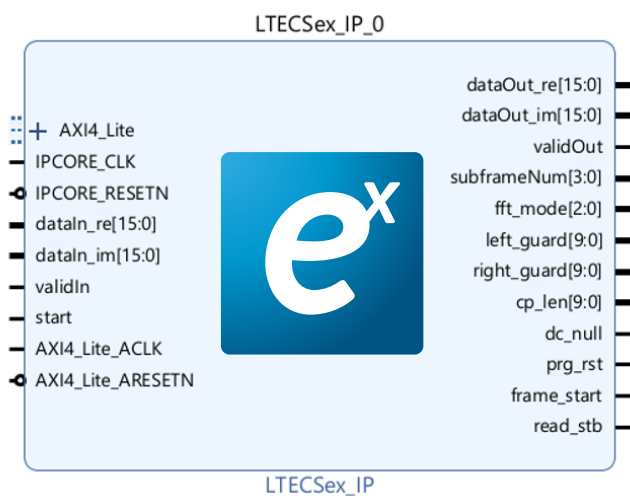


Рисунок 2

Технические характеристики

Допустимые параметры входного сигнала:

- Тип сигнала – LTE Downlink (нисходящий канал)
- Режим LTE – Normal mode
- Режимы дуплекса – FDD, TDD
- Длина FFT – 2048
- Максимальный частотный сдвиг – $\pm 7,5$ кГц

Типовые потребляемые ресурсы Zynq UltraScale+ MPSoCs (такт. частота: 446 МГц):

- CLB LUTs – 10349
- CLB Registers – 18312
- DSPs(DSP48E2) – 72
- BRAM – 15

Тестирование и симуляция

Для тестирования и симуляции IP-ядра LTECSex-IP возможна поставка завершённого тестового окружения реализованного с помощью языков описания Verilog/VHDL с привязкой к конкретному типу симулятора: Mentor Graphics ModelSim/Cadence Incisive/AMD Vivado Simulator.

Интеграция

IP-ядро LTECSex-IP ЦИТМ «Экспонента» всегда доступно для целевых платформ FPGA и СБИС. При наличии специфических требований возможно рассмотрение доработки ядра. Для специальных применений возможно использование IP-ядра LTECSex-IP в составе специализированных СнК.

Интеграция IP-ядра в текущие или будущие проекты возможна в соответствии с любыми требованиями и пожеланиями заказчика. Специалисты ЦИТМ «Экспонента» помогут вам в решении этой задачи.

Свяжитесь с нами, чтобы узнать больше технических подробностей!

+7 (495) 009 65 85
info@exponenta.ru
www.exponenta.ru