

IP-ядро LTEQex-IP предназначено для работы в приёмном тракте систем связи стандарта LTE и обеспечивает компенсацию искажений внесённых радиоканалом и минимизацию влияния шума. IP-ядро выполняет цифровую обработку сигнала в частотной области (после OFDM-демодулятора) и формирует восстановленные и нормализованные символы для последующей демодуляции и декодирования.

Применение

- Разработка специализированных абонентских терминалов (UE) для частных сетей (Private LTE)
- Интеграция в ASIC или FPGA-платформы телеком назначения
- Автономные системы связи в робототехнике и БПЛА, где требуется компактная и энергоэффективная реализация физического уровня (PHY)
- Тестовое и измерительное оборудование
- Программно-определяемое радио (SDR)

Архитектура

В приёмном устройстве LTE нисходящей линии связи (Downlink, DL) эквалайзер является критически важным блоком цифровой обработки сигналов (DSP). Его основная функция — компенсация искажений, внесённых радиоканалом, для корректного восстановления переданных символов модуляции. Работа эквалайзера основана на определении оценки канала с использованием специальных опорных сигналов предусмотренных стандартом LTE (CRS). Опорные сигналы являются специфичными для конкретной соты. Расположение опорных сигналов и их значение зависит от идентификатора соты NCellID. Опорные сигналы уникальны для каждого подкадра, а их расположение в ресурсной сетке обеспечивает минимальное взаимное влияние.

IP-ядро LTEQex-IP состоит из следующих функциональных блоков:

- Блок оценки канала
- Блок формирования опорных сигналов
- Блок усреднения оценок канала
- Блок интерполяции оценок канала
- Блок эквалайзера (Zero Forcing)

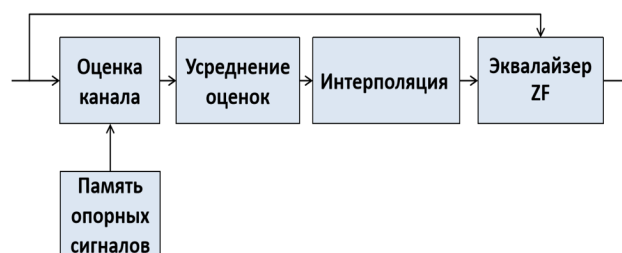


Рисунок 1

Блок оценки канала извлекает CRS из принятого сигнала, зная их позицию и последовательность. Поскольку CRS расположены разрежено (каждые 6 поднесущих по частоте и каждые 3-4 символа по времени), требуется интерполятор для восстановления оценки в точках данных пользовательского канала PDSCH.

При низких значениях SNR требуется снижение дисперсии шума в оценках канала. С этой целью оценки канала необходимо усреднять при сохранении способности отслеживать реальные изменения канала во времени и частоте.

Алгоритм работы и сигналы управления

Входной комплексный сигнал поступает на входы data_in_re и data_in_im IP-ядра. Наличие отсчётов определяется высоким уровнем сигнала valid_in. Источником входного сигнала как правило является OFDM-демодулятор (рекомендуется использовать IP-ядро OFDMex-IP).

Блок оценки канала извлекает ресурсные элементы CRS, позиции которых в ресурсной сетке LTE известны заранее.

Одновременно из блока памяти поступают соответствующие опорные значения CRS. В результате вычислений формируется оценка канала для позиций соответствующим положению элементов CRS.

В случае необходимости оценки канала подвергаются усреднению с помощью блока усреднения. Окно усреднения является прямоугольной областью на ресурсной сетке и охватывает определённое количество CRS элементов. Размеры окна отдельно могут быть настроены вдоль осей времени и частоты.

Для компенсации искажений на всей ресурсной сетке с помощью блока интерполяции по значениям оценок CRS строится сплошная сетка оценок по размерности совпадающая с исходной ресурсной сеткой.

Совмещённые во времени ресурсная сетка и сетка оценок поступают на блок эквалайзера. Значения элементов исходной ресурсной сетки делятся на значения из интерполированной сетки оценок в результате чего получается исправленная и нормированная ресурсная сетка.

На рисунке 2 показан пример дизайна системы с использованием IP-ядра LTEQex-IP.

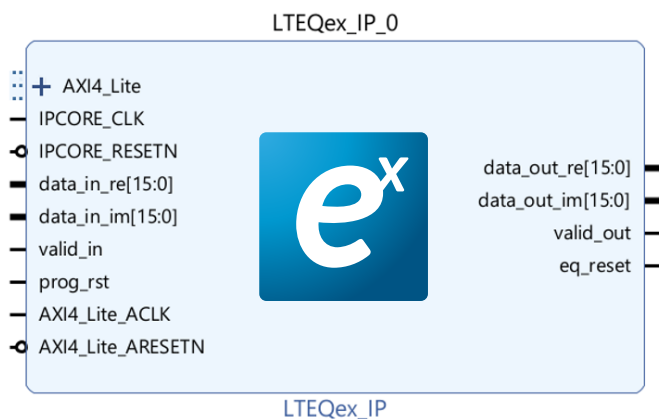


Рисунок 2

Технические характеристики

Допустимые параметры входного сигнала:

- Тип сигнала – LTE Downlink (нисходящий канал)
- Режим LTE – Normal mode
- Режимы дуплекса – FDD
- NDLRB – 100
- NCell ID – 1

Типовые потребляемые ресурсы Zynq UltraScale+ MPSoCs (такт. частота: 372 МГц)

- CLB LUTs – 7298
- CLB Registers – 12224
- DSPs(DSP48E2) – 54
- BRAM – 50.5
- URAM – 3

Тестирование и симуляция

Для тестирования и симуляции IP-ядра LTEQex-IP возможна поставка завершённого тестового окружения реализованного с помощью языков описания Verilog/VHDL с привязкой к конкретному типу симулятора: Mentor Graphics ModelSim/Cadence Incisive/AMD Vivado Simulator.

Интеграция

IP-ядро LTEQex-IP ЦИТМ «Экспонента», всегда доступно для целевых платформ FPGA и СБИС. При наличии специфических требований возможно рассмотрение доработки ядра. Для специальных применений возможно использование IP-ядра LTEQex-IP в составе специализированных СнК.

Интеграция IP-ядра в текущие или будущие проекты возможна в соответствии с любыми требованиями и пожеланиями заказчика. Специалисты ЦИТМ «Экспонента» помогут вам в решении этой задачи.

Свяжитесь с нами, чтобы узнать больше технических подробностей!

+7 (495) 009 65 85
info@exponenta.ru
www.exponenta.ru