

## Сверточное декодирование Витерби

В современных системах связи существует необходимость передачи данных и их восстановления без ошибок даже при наличии помех. В случае возникновения ошибок требуется избежать повторной передачи данных, чтобы не допустить снижения скорости передачи данных в системе. Один из методов решения этой задачи – сверточное кодирование. Сверточный кодер и декодер Витерби используются совместно для исправления ошибок. Сверточный кодер добавляет избыточность к исходным данным, а декодер Витерби использует декодирование с максимальным правдоподобием для восстановления данных.

Сверточный кодер преобразует входные данные. Скорость кодирования для сверточного кодера составляет 1/2: на каждый входной бит приходится два выходных бита.

Для кодирования каждого выходного бита сверточного кодера используются полиномы генератора, что обеспечивает защиту входных данных от ошибок. Реализация кодера состоит из элементов исключающего ИЛИ (XOR) и сдвиговых регистров.

Декодер Viterbi настроен на те же параметры, что и кодер: кодовая скорость, длина ограничения и полиномы генератора. Мягкое представление данных имеет несколько уровней, отражающих надёжность и, следовательно, уровень достоверности входных данных.

В процессе работы декодера Витерби происходит анализ данных, что позволяет определить, насколько вероятными могут быть значения «1» или «0». Это обеспечивает более надёжную защиту

от ошибок. Выходные данные декодера Витерби представляют собой исходные данные, которые были введены в кодер.

## Описание

IP-ядро Viterbiex-IP предназначено для решения проблем контроля целостности данных и исправления ошибок в системах радиосвязи. Компания ЦИТМ «Экспонента» разработала архитектуру высокоскоростного декодера, применимого для современных стандартов связи, включая DVB, 3GPP LTE, 3GPP2, IEEE 802.11a/n/ac/ax/be, IEEE 802.16. Архитектура IP-ядра Viterbiex-IP не привязана к конкретному производителю ПЛИС/СБИС, что повышает гибкость и независимость разрабатываемых систем радиосвязи.

На рисунке 1 представлена зависимость вероятности битовой ошибки от отношения энергии бита к спектральной плотности мощности шума с использованием IP-ядра Viterbiex-IP, а также сравнение с решениями других производителей.

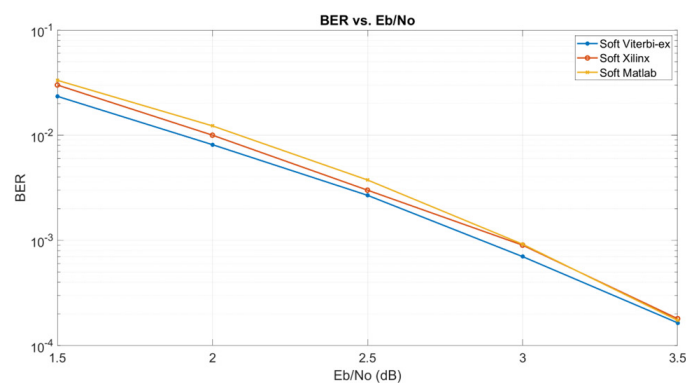


Рисунок 1

Как видно из графика, при использовании IP-ядра Viterbiex-IP вероятность битовой ошибки ниже, чем у аналогичных решений при тестировании с теми же настройками.

Снижение вероятности битовой ошибки происходит благодаря применению алгоритма поиска минимального элемента и прохождения по решетке в обратном направлении.

IP-ядро Viterbiex-IP оптимизировано для достижения максимальной пропускной способности с минимальными затратами ресурсов и без потери корректирующей функции. Это достигается за счёт оптимизации схемы отбора выживших путей и метода обратного прохода по решетке.

В таблице 1 представлено сравнение с аналогичными решениями от других производителей. Информация взята из открытых источников: Kintex-7 xc7k70/ Zynq®-7000 ZC706/ Kintex-7 xc7k70.

Таблица 1

Производитель	Xilinx	MathWorks	ЦИТМ Экспонента
LUT	2210	3861	2347
FF	1719	2521	2149
36k BRAMs	2	1	2
Fmax (MHz)	281	260	293

Также IP-ядро Viterbiex-IP содержит встроенную нормализацию метрик для предотвращения переполнения метрик путей, возникающего в зашумленных каналах.

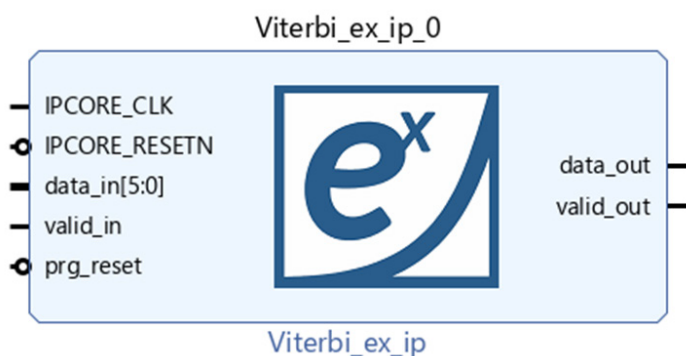


Рисунок 2

Для оптимизации ресурсов и улучшения исправляющей способности декодера при конфигурации IP-ядра можно задать:

- Пользовательские значения длины обратной трассировки
- Разрядность мягких решений на входе
- Число неиспользуемых бит при поиске минимального элемента

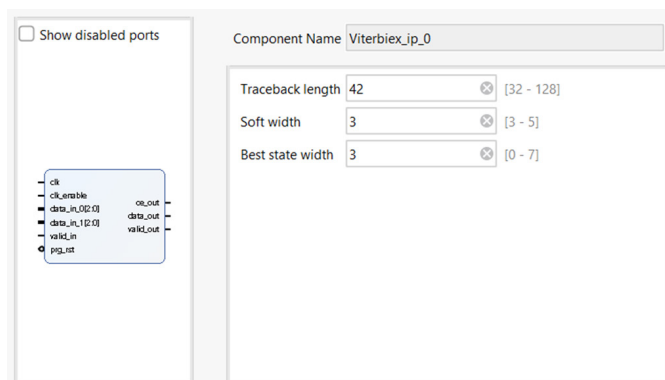


Рисунок 3

## Технические характеристики

- Архитектура: мягкое декодирование с параметризуемой длиной входных данных (от 3 до 5 бит)
- Кодовая скорость  $\frac{1}{2}$ , длина кодового ограничения  $K=7$
- Нормализация метрик
- Поддержка пользовательского ввода глубины памяти (traceback length). По умолчанию значение равно 42
- Пользовательская настройка выбора лучшего состояния для декодирования
- Полином генератора  $g_1=171, g_2=133$
- Latency  $\approx 4 \cdot \text{traceback\_length} + 45$
- Максимальная тактовая частота работы ядра – 293 МГц Kintex-7 xc7k70
- LUT – 2347
- FF – 2149
- BRAM – 2

## Интеграция

IP-ядро Viterbiex-IP ЦИТМ Экспонента всегда доступно для целевых платформ FPGA и СБИС. Для специальных применений возможно использование IP-ядра Viterbiex-IP в составе специализированных СнК.

Специалисты ЦИТМ «Экспонента» помогут интегрировать IP-ядра Viterbiex-IP в текущие или будущие проекты и учтут любые требования и пожелания заказчика.

Свяжитесь с нами, чтобы узнать больше технических подробностей!



+7 (495) 009 65 85



[info@exponenta.ru](mailto:info@exponenta.ru)



[www.exponenta.ru](http://www.exponenta.ru)